

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関  
国際事務局



(43)国際公開日  
2001年11月1日 (01.11.2001)

PCT

(10)国際公開番号  
**WO 01/82273 A1**

(51)国際特許分類<sup>7</sup>: G09F 9/30, G02F 1/136, H01L 29/78

(72)発明者; および

(75)発明者/出願人(米国についてのみ): 倉科久樹  
(KURASHINA, Hisaki) [JP/JP]; 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社  
内 Nagano (JP).

(21)国際出願番号: PCT/JP01/03360

(74)代理人: 上柳雅誓, 外(KAMIYANAGI, Masataka et al.); 〒392-8502 長野県諏訪市大和3丁目3番5号 セイ  
コーエプソン株式会社 知的財産室内 Nagano (JP).

(22)国際出願日: 2001年4月19日 (19.04.2001)

(81)指定国(国内): CN, JP, KR, US.

(25)国際出願の言語: 日本語

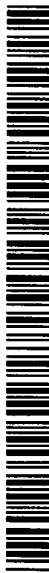
添付公開書類:  
— 國際調査報告書

(26)国際公開の言語: 日本語

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイドスノート」を参照。

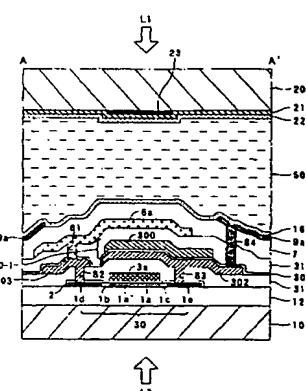
(30)優先権データ:  
特願2000-121452 2000年4月21日 (21.04.2000) JP

(71)出願人(米国を除く全ての指定国について): セイコーエプソン株式会社 (SEIKO EPSON CORPORATION) [JP/JP]; 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo (JP).



(54)Title: ELECTROOPTICAL DEVICE

(54)発明の名称: 電気光学装置





---

(57) 要約:

電気光学装置は、TFTアレイ基板（10）上に、画素電極（9a）と、画素電極をスイッチング制御するTFT（30）と、このTFTに接続された走査線（3a）及びデータ線（6a）とを備える。走査線上に層間絶縁膜を介して容量電極（302）及び容量線（300）が積層されることにより、平面的に見て走査線に重なる領域に、蓄積容量（70）が構築される。これにより、画素開口率を高めると同時に蓄積容量の増大を図り、クロストークやゴーストを低減して高品位の画像表示を行う。

明 細 書  
電気光学装置

技術分野

5 本発明は、アクティブマトリクス駆動方式の電気光学装置の技術分野に関し、特に画素電極に対し蓄積容量を付加するための容量電極及び容量線と、画素スイッチング用の薄膜トランジスタ（Thin Film Transistor:以下適宜、TFTと称す）とを、基板上の積層構造中に備えた形式の電気光学装置の技術分野に関する。

10

背景技術

TFT駆動によるアクティブマトリクス駆動方式の電気光学装置においては、TFTのゲート電極に走査線を介して走査信号が供給されると、TFTはオン状態とされ、半導体層のソース領域にデータ線を介して供給される画像信号が当該TFTのソースードレイン間を介して画素電極に供給される。このような画像信号の供給は、各TFTを介して画素電極毎に極めて短時間しか行われないので、TFTを介して供給される画像信号の電圧を、このオン状態とされた時間よりも遙かに長時間に亘って保持するために、各画素電極には（液晶容量等と並列に）蓄積容量が付加されるのが一般的である。

20 係る蓄積容量は一般に、画素電極に接続されたTFTのドレイン領域を構成する導電性のポリシリコン膜等から延設され画素電極電位とされる容量電極と、この容量電極に誘電体膜を介して対向配置された電極部分を含み所定電位とされる容量線とを備えて構成されている。そして、このような容量線は、走査線と同一導電膜（例えば、導電性のポリシリコン膜）から構成され、走査線に平行して横並びに配線されるのが一般的である。

25 発明の開示

この種の電気光学装置においては、表示画像の高品位化という一般的な要請が強く、このためには、画素ピッチを微細化しつつ、画素開口率を高める（即

ち、各画素において、表示光が透過しない各画素における非開口領域に対して、表示光が透過する開口領域を広げる）ことが重要となる。

しかしながら、画像表示領域内において走査線と容量線とが横並びに配線された前述の背景技術によれば、このように微細ピッチな画素の高開口率化に伴い走査線や容量線を配線可能な各画素の非開口領域は狭くなる。このため、画素ピッチの微細化が進む程、十分な大きさの蓄積容量を作り込むことや、走査線や容量線に十分な導電性を与えることが困難になるという問題点がある。そして、十分な蓄積容量が得られなかつたり、走査線や容量線に十分な導電性が得られなかつたりすると、最終的には、表示画像中におけるクロストークやゴーストが増大して画質劣化するという問題点が生じる。即ち、微細ピッチな画素の高開口率化に伴ってこのような画質劣化が顕在化していくという画質向上のために解決困難な問題点がある。

本発明は上述の問題点に鑑みなされたものであり、画素開口率を高めると同時に蓄積容量の増大を図る（或いは蓄積容量の減少を抑制する）ことができ、クロストークやゴーストが低減されており、高品位の画像表示が可能な電気光学装置を提供することを課題とする。

本発明の電気光学装置は上記課題を解決するために、基板上に、相交差する走査線及びデータ線と、該走査線及びデータ線に接続された薄膜トランジスタと、該薄膜トランジスタに接続された画素電極と、前記画素電極に接続され画素電極電位とされる画素電位側容量電極と該画素電位側容量電極に誘電体膜を介して対向配置された所定電位とされる固定電位側容量電極とを含み前記走査線に対して積層形成された蓄積容量とを備える。

本発明の電気光学装置によれば、蓄積容量は、走査線に対して（例えば、層間絶縁膜を介して）積層形成されており、画素電極に接続され画素電極電位とされる画素電位側容量電極と該画素電位側容量電極に誘電体膜を介して対向配置された所定電位とされる固定電位側容量電極とを含む。従って、基板上で平面的に見て走査線に重なる領域に形成された画素電位側容量電極と、これに対向配置された固定電位側容量電極とを利用して、当該走査線に重なる領域に蓄積容量を構築することが可能となる。この際、前述した背景技術の如く固定

電位側容量電極(或いは容量線)を走査線に横並びに配線する必要が無いので、当該横並びの走査線及び固定電位側容量電極(或いは容量線)の存在により、各画素の非開口領域を広げないで済む。即ち、基板上で固定電位側容量電極(或いは容量線)を走査線に立体的に重ねて形成することにより各画素の開口領域を広げつつ固定電位側容量電極(或いは容量線)を配置可能な領域を広げることにより、相対的に蓄積容量を増大させることが可能となる。従って、十分な線幅を確保することにより走査線や固定電位側容量電極(或いは容量線)に十分な導電性を与えることが可能となり、特に微細ピッチな画素の高開口率化を図りつつ、表示画像中におけるクロストークやゴーストを低減して画質を向上できる。

本発明の電気光学装置の一態様では、前記薄膜トランジスタは、前記走査線の一部からなるゲート電極がチャネル領域の上側に位置する。

この態様によれば、基板上で蓄積容量が積層形成された走査線を有する、所謂トップゲート型の薄膜トランジスタが得られる。

或いは本発明の電気光学装置の他の態様では、前記薄膜トランジスタは、前記走査線の一部からなるゲート電極がチャネル領域の下側に位置する。

この態様によれば、基板上で蓄積容量が積層形成された走査線を有する、所謂ボトムゲート型の薄膜トランジスタが得られる。

本発明の電気光学装置の他の態様では、前記薄膜トランジスタのゲート電極は、前記走査線と同一の導電層からなる。

この態様によれば、例えば導電性のポリシリコン膜、金属或いは合金膜等からなる直線状或いは串歯状の走査線のうち、各薄膜トランジスタのゲート絶縁膜上に配置された部分がゲート電極として機能する。

或いは本発明の電気光学装置の他の態様では、前記薄膜トランジスタのゲート電極は、前記走査線と別の導電層からなる。

この態様によれば、例えば導電性のポリシリコン膜、金属或いは合金膜等からなる直線状の走査線に直接又はコンタクトホールを介して接続された島状のゲート電極が、各薄膜トランジスタのゲート絶縁膜上に配置される。係るゲート電極の具体的材質は、例えば導電性のポリシリコン膜、金属或いは合金膜

等である。

本発明の電気光学装置の他の態様では、前記蓄積容量は、前記基板上における前記走査線の上側に位置する。

この態様によれば、走査線の上側に重なる非開口領域を利用して蓄積容量を作り込む領域を広げられる。  
5

或いは本発明の電気光学装置の他の態様では、前記蓄積容量は、前記基板上における前記走査線の下側に位置する。

この態様によれば、走査線の下側に重なる非開口領域を利用して蓄積容量を作り込む領域を広げられる。

10 本発明の電気光学装置の他の態様では、前記蓄積容量は、前記基板上における前記データ線の上側の層間位置にある。

この態様によれば、基板上でデータ線よりも上側の層間位置にあると共に走査線に重なる非開口領域を利用して蓄積容量を作り込む領域を広げられる。

15 本発明の電気光学装置の他の態様では、前記蓄積容量は、前記基板上における前記データ線と前記走査線との間の層間位置にある。

この態様によれば、基板上でデータ線と走査線との間の層間位置にあると共に走査線に重なる非開口領域を利用して蓄積容量を作り込む領域を広げられる。

20 本発明の電気光学装置の他の態様では、前記固定電位側容量電極及び前記画素電位側容量電極の一方は、前記データ線と同一の導電層からなる。

この態様によれば、例えばA1(アルミニウム)膜等からなるデータ線と同一の導電層からなる容量電極を有する蓄積容量を、走査線に重なる非開口領域に構築できる。

25 本発明の電気光学装置の他の態様では、前記画素電位側容量電極は、前記固定電位側容量電極の上側にある。

この態様によれば、前記画素電位側容量電極は、前記固定電位側容量電極の上側にあるので、画素電極及び薄膜トランジスタのうちの一方と画素電位側容量電極とを、コンタクトホール等を介して比較的簡単に電気的に接続できる。

本発明の電気光学装置の他の態様では、前記画素電位側容量電極は、前記固

定電位側容量電極の下側にある。

この態様によれば、前記画素電位側容量電極は、前記固定電位側容量電極の下側にあるので、画素電極及び薄膜トランジスタのうちの他方と画素電位側容量電極とを、コンタクトホール等を介して比較的簡単に電気的に接続できる。

- 5 本発明の電気光学装置の他の態様では、前記画素電極の層間位置は、前記基板上における前記走査線の上側にある。

この態様によれば、例えば基板上の積層構造における最上層付近に位置する画素電極を、その下方の層間位置に作り込まれた薄膜トランジスタによりスイッチング制御する構成が得られる。

- 10 本発明の電気光学装置の他の態様では、前記画素電極の層間位置は、前記基板上における前記走査線の下側にある。

この態様によれば、例えば基板上の積層構造における最下層付近に位置する画素電極を、その上方の層間位置に作り込まれた薄膜トランジスタによりスイッチング制御する構成が得られる。

- 15 本発明の電気光学装置の他の態様では、前記蓄積容量は、前記走査線に加えて前記データ線に対して積層形成されている。

この態様によれば、基板上で固定電位側容量電極（或いは容量線）を、走査線のみならずデータ線にも立体的に重ねて形成することにより各画素の開口領域を広げつつ固定電位側容量電極（或いは容量線）を配置可能な領域を広げることにより、より一層蓄積容量を増大させることが可能となる。

本発明の電気光学装置の他の態様では、前記固定電位側容量電極に接続されており、前記基板上でストライプ状又は格子状に配線され、画像表示領域外で所定電位に落とされる容量線を更に備える。

- 25 この態様によれば、画像表示領域内において蓄積容量を構成する固定電位側容量電極は、基板上でストライプ状又は格子状に配線された容量線を介して、画像表示領域外で所定電位に落とされる。従って、画像表示領域外の周辺領域にある周辺回路や駆動回路用の定電位線或いは定電位源を利用して、画像表示領域内に配置される固定電位側容量電極を比較的簡単に所定電位にできる。

この態様では、前記容量線は、前記固定電位側容量電極と同一の導電層からなってもよい。

5 このように構成すれば、例えば高融点金属膜、ポリシリコン膜等からなると共に走査線に重なって延びる容量線のうち各蓄積容量を構成する誘電体膜上に位置する部分が夫々、固定電位側容量電極として機能する。

或いはこの態様では、前記容量線は、前記固定電位側容量電極と別の導電層からなってもよい。

10 このように構成すれば、例えば高融点金属膜、ポリシリコン膜等からなると共に走査線に重なって延びる容量線に直接又はコンタクトホールを介して接続された島状の固定電位側容量電極が、各蓄積容量の誘電体膜上に配置される。係る固定電位側容量電極の具体的材質は、例えば高融点金属膜、ポリシリコン膜等である。

本発明の電気光学装置の他の態様では、前記画素電位側容量電極は、前記薄膜トランジスタと前記画素電極間に介在する島状の導電膜である。

15 この態様によれば、島状の導電膜からなる画素電位側容量電極を、薄膜トランジスタと画素電極間とを中継接続する中間導電層（或いはバリア層）としても機能させられる。

この態様では、前記薄膜トランジスタと前記島状の導電膜との接続部は、前記データ線に対応する領域に形成されてもよいし、前記画素電極と前記島状の導電膜との接続部は、前記データ線に対応する領域に形成されてもよいし、或いは前記画素電極と前記島状の導電膜との接続部は、前記走査線に対応する領域に形成されてもよい。

25 このように構成すれば、島状の導電膜の接続部を、走査線又はデータ線に重なる各画素の非開口領域内に位置させることができ、当該接続部により開口領域を狭めないで済む。

本発明の電気光学装置の他の態様では、前記固定電位側容量電極は、前記走査線と前記画素電位側容量電極との間に積層されている。

この態様によれば、画素電極電位とされる画素電位側容量電極と走査線との間には、所定電位とされる固定電位側容量電極が積層されているので、画素電

位側容量電極における電位変動が、容量カップリングにより走査線に悪影響を及ぼすこと（更に、走査線における電位変動が容量カップリングにより画素電位側容量電極に悪影響を及ぼすこと）はなくなり、当該蓄積容量を走査線に重ねて構築する構造の採用による画質劣化を低減できるので有利である。

- 5 或いは本発明の電気光学装置の他の態様では、前記画素電位側容量電極は、前記固定電位側容量電極よりも前記走査線に近い側に積層されている。

この態様によれば、画像信号に応じて電位変動する画素電位側容量電極は走査線に近い側に位置するものの、画素電位側容量電極及び走査線間に介在する層間絶縁膜の膜厚を一定値以上に厚く設定すれば両者間における容量カップ

- 10 リングによる悪影響を実践的な意味で低減可能となる。即ち、この場合には、実験的、経験的或いはシミュレーション等に従って両者間の容量カップリングを装置仕様上無視し得る程度に小さくするように両者間の層間絶縁膜の厚みを設定すればよい。

- 尚、このような固定電位側容量電極としては、導電性の透明膜（ポリシリコン膜等）から別途形成してもよいし、各画素の開口領域を規定するための内蔵遮光膜（高融点金属膜等）を利用しててもよい。

本発明の電気光学装置の他の態様では、前記固定電位側容量電極は、前記データ線と前記画素電位側容量電極との間に積層されている。

- この態様によれば、画素電極電位とされる画素電位側容量電極とデータ線との間には、所定電位とされる固定電位側容量電極が積層されているので、画素電位側容量電極における電位変動が、容量カップリングによりデータ線に悪影響を及ぼすこと（更に、データ線における電位変動が容量カップリングにより画素電位側容量電極に悪影響を及ぼすこと）はなくなり、当該蓄積容量をデータ線に重ねて構築する構造の採用による画質劣化を低減できるので有利である。しかも、この態様によれば、走査線に重なる領域のみならずデータ線に重なる領域にも蓄積容量を積層形成するので、蓄積容量のより一層の増大を図れる。

- 或いは本発明の電気光学装置の他の態様では、前記画素電位側容量電極は、前記固定電位側容量電極よりも前記データ線に近い側に積層されている。

この態様によれば、画像信号に応じて電位変動する画素電位側容量電極はデータ線に近い側に位置するものの、画素電位側容量電極及びデータ線間に介在する層間絶縁膜の膜厚を一定値以上に厚く設定すれば両者間における容量カップリングによる悪影響を実践的な意味で低減可能となる。即ち、この場合に  
5 は、実験的、経験的或いはシミュレーション等に従って両者間の容量カップリングを装置仕様上無視し得る程度に小さくするように両者間の層間絶縁膜の厚みを設定すればよい。

本発明の電気光学装置の他の態様では、前記固定電位側容量電極は、前記基板上で走査線に沿った領域において前記走査線と前記画素電位側容量電極との間に積層された部分を含み、前記基板上でデータ線に沿った領域において前記データ線と前記画素電位側容量電極との間に積層された部分を含む。  
10

この態様によれば、基板上で走査線に沿った領域においては、所定電位とされる固定電位側容量電極部分が、走査線と画素電位側容量電極との間に積層されているので、この領域においては、走査線及び画素電位側容量電極間における容量カップリングによる悪影響を低減できる。同時に、基板上でデータ線に沿った領域においては、所定電位とされる固定電位側容量電極部分が、データ線と画素電位側容量電極との間に積層されているので、この領域においては、データ線及び画素電位側容量電極間における容量カップリングによる悪影響を低減できる。  
15

20 この態様では、前記走査線に沿った領域では、前記誘電体膜を介して積層された第1及び第2導電膜のうちの一方から前記画素電位側容量電極が構成されていると共に前記第1及び第2導電膜のうちの他方から前記固定電位側容量電極が構成されており、且つ前記データ線に沿った領域では、前記第1及び第2導電膜のうちの他方から前記画素電位側容量電極が構成されていると共に前記第1及び第2導電膜の一方から前記固定電位側容量電極が構成されてもよい。

25 このように構成すれば、走査線に沿った領域においては、走査線及び画素電位側容量電極間における容量カップリングによる悪影響を低減できると同時に、データ線に沿った領域においてはデータ線及び画素電位側容量電極間にお

ける容量カップリングによる悪影響を低減できる構成が比較的簡単に得られる。

本発明の電気光学装置の他の態様では、前記画素電位側容量電極及び前記固定電位側容量電極の一方は、他方を上下から挟持する一対の電極からなる。

- 5 この態様によれば、画素電位側容量電極及び固定電位側容量電極の一方は、他方を上下から挟持する一対の電極からなるので、基板上における同一面積に、より大きな蓄積容量を構築することが可能となる。

この態様では、前記固定電位側容量電極が、前記画素電位側容量電極を上下から挟持する一対の電極からなる。

- 10 この態様では、画素電極電位とされる画素電位側容量電極は、所定電位とされる固定電位側容量電極を構成する一対の電極により上下から挟持されるので、画素電位側容量電極における電位変動が、容量カップリングにより他の走査線やデータ線に悪影響を及ぼすこと（更に、走査線やデータ線における電位変動が容量カップリングにより画素電位側容量電極に悪影響を及ぼすこと）は  
15 なくなり、当該蓄積容量を走査線に重ねて構築する構造の採用による画質劣化を低減できるので有利である。

本発明の電気光学装置の他の態様では、前記画素電位側容量電極及び前記固定電位側容量電極のうち少なくとも一方は、遮光性を有する。

- 20 この態様によれば、遮光性を有する画素電位側容量電極や固定電位側容量電極を利用して、薄膜トランジスタに対する遮光を行ったり、画素の開口領域の縁付近における光抜けを防止したりすることが可能となる。

- 本発明の電気光学装置の他の態様では、前記遮光性を有する一方の容量電極は、高融点金属を含む。より具体的には、例えば、Ti（チタン）、Cr（クロム）、W（タンクステン）、Ta（タンタル）、Mo（モリブデン）、Pb  
25 （鉛）等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したものの等からなる。

この容量電極が遮光性を有する態様では、前記遮光性を有する一方の容量電極は、前記基板上で前記薄膜トランジスタの上層に位置し且つ各画素の開口領域を少なくとも部分的に規定する導電性の上層遮光膜からなるように構成し

てもよい。

このように構成すれば、固定電位側容量電極又は画素電位側容量電極は、各画素の開口領域を規定する導電性の上層遮光膜からなる（即ち、薄膜トランジスタの上側にある内蔵遮光膜に、本来の遮光機能に加えて固定電位側容量電極又は画素電位側容量電極としての機能をも与える）ので、係る固定電位側容量電極又は画素電位側容量電極を形成するために専用の導電膜を積層構造中に別途追加形成するのと比べて、積層構造及び製造工程を単純化する上で大変有利である。

尚、このような上層遮光膜は、走査線を構成する導電膜とデータ線を構成する導電膜との間に積層されてもよいし、データ線を構成する導電膜と画素電極を構成する導電膜との間に積層されてもよい。

この場合には、前記走査線、前記データ線及び前記薄膜トランジスタは、前記基板上で平面的に見て前記上層遮光膜の形成領域からはみ出さないのが好ましい。

このように構成すれば、基板上に入射した入射光が上層遮光膜の形成領域からはみ出した走査線、データ線又は薄膜トランジスタの表面で反射することで、当該電気光学装置の内部における内面反射光や多重反射光が発生することを効果的に未然防止できる。

或いは、この容量電極が遮光性を有する態様では、前記遮光性を有する一方の容量電極は、前記薄膜トランジスタの少なくともチャネル領域を覆うように構成してもよい。

このように構成すれば、遮光性を有する固定電位側容量電極又は画素電位側容量電極は、薄膜トランジスタの少なくともチャネル領域を覆うので、チャネル領域に入射光或いは戻り光が入射して、光電効果による光電流の発生でトランジスタ特性が変化することを効果的に防止できる。

この態様では、前記遮光性を有する一方の容量電極は、前記基板上で前記薄膜トランジスタの下層に位置し且つ前記薄膜トランジスタの少なくともチャネル領域を前記基板側から見て覆う導電性の下層遮光膜からなる。

このように構成すれば、固定電位側容量電極又は画素電位側容量電極は、薄

膜トランジスタの少なくともチャネル領域を基板側から見て（即ち、薄膜トランジスタの下側から）覆う導電性の下層遮光膜からなる（即ち、薄膜トランジスタの下側にある内蔵遮光膜に、本来の遮光機能に加えて固定電位側容量電極又は画素電位側容量電極としての機能をも与える）ので、係る固定電位側容量電極又は画素電位側容量電極を形成するために専用の導電膜を積層構造中に別途追加形成するのと比べて、積層構造及び製造工程を単純化する上で大変有利である。

尚、このような下層遮光膜は、基板上に直接又は下地絶縁膜を介して積層されてよい。

この場合には、前記走査線、前記データ線及び前記薄膜トランジスタは、前記基板上で平面的に見て前記下層遮光膜の形成領域からはみ出さないのが好ましい。

このように構成すれば、裏面反射光や、複数の当該電気光学装置を組み合わせて複板式のプロジェクタを構成する場合の合成光学系を突き抜けてくる光等の戻り光が下層遮光膜の形成領域からはみ出した走査線、データ線又は薄膜トランジスタの表面で反射することで、当該電気光学装置の内部における内面反射光や多重反射光が発生することを効果的に未然防止できる。

また、上記の如く容量電極が遮光性を有する態様では、前記基板上で前記薄膜トランジスタの上層に位置し且つ各画素の開口領域を少なくとも部分的に規定する上層遮光膜と、前記基板上で前記薄膜トランジスタの下層に位置し且つ前記薄膜トランジスタの少なくともチャネル領域を前記基板側から見て覆う下層遮光膜とを更に備え、前記遮光性を有する一方の容量電極は、前記上層遮光膜及び前記下層遮光膜のうちの一方からなり、前記下層遮光膜は、前記基板上で平面的に見て前記上層遮光膜の形成領域からはみ出さないように構成してもよい。

このように構成すれば、各画素の開口領域を規定する導電性の上層遮光膜と、薄膜トランジスタの少なくともチャネル領域を覆う下層遮光膜とを更に備え、遮光性を有する一方の容量電極は、上層遮光膜及び下層遮光膜のうちの一方からなるので、係る固定電位側容量電極又は画素電位側容量電極を形成するため

に専用の導電膜を積層構造中に別途追加形成するのと比べて、積層構造及び製造工程を単純化する上で大変有利である。しかも、基板上に入射した入射光が上層遮光膜の形成領域からはみ出した下層遮光膜で反射することで、当該電気光学装置の内部における内面反射光や多重反射光が発生することを効果的に  
5 未然防止できる。

本発明の電気光学装置の他の態様では、前記画素電位側容量電極は、前記薄膜トランジスタのドレイン領域を構成する導電膜が延設されてなる。

この態様によれば、薄膜トランジスタのドレイン領域を構成する導電膜（例えば、導電性のポリシリコン膜）から延設することで、当該ドレイン領域に接続された画素電極における画素電極電位となる画素電位側容量電極を比較的簡単に構築できる。  
10

本発明の電気光学装置の他の態様では、前記画素電位側容量電極は、前記画素電極を構成する導電膜が延設されてなる。

この態様によれば、画素電極を構成する導電膜（例えば、ITO（Indium Tin Oxide）膜）から延設することで、当該画素電極における画素電極電位となる画素電位側容量電極を比較的簡単に構築できる。  
15

本発明のこのような作用及び他の利得は次に説明する実施例から明らかにされる。

## 20 図面の簡単な説明

図1は、本発明の第1実施例の電気光学装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

図2は、第1実施例の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

## 25 図3は、図2のA-A'断面図である。

図4は、第2実施例の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の画素の平面図である。

図5は、図4におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。

図 6 は、第 3 実施例の電気光学装置におけるデータ線、走査線、画素電極等が形成された TFT アレイ基板の画素の平面図である。

図 7 は、図 6 におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。

5 図 8 は、図 6 の X-X' 断面図である。

図 9 は、図 6 の Y-Y' 断面図である。

図 10 は、図 6 の Z-Z' 断面図である。

図 11 は、第 4 実施例の電気光学装置におけるデータ線、走査線、画素電極等が形成された TFT アレイ基板の画素の平面図である。

10 図 12 は、図 11 におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。

図 13 は、第 5 実施例の電気光学装置におけるデータ線、走査線、画素電極等が形成された TFT アレイ基板の画素の平面図である。

15 図 14 は、図 13 におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。

図 15 は、第 6 実施例の電気光学装置におけるデータ線、走査線、画素電極等が形成された TFT アレイ基板の画素の平面図である。

図 16 は、図 15 におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。

20 図 17 は、第 7 実施例の電気光学装置におけるデータ線、走査線、画素電極等が形成された TFT アレイ基板の画素の平面図である。

図 18 は、図 17 におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。

25 図 19 は、第 8 実施例の電気光学装置におけるデータ線、走査線、画素電極等が形成された TFT アレイ基板の画素の平面図である。

図 20 は、図 19 におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。

図 21 は、第 9 実施例の電気光学装置におけるデータ線、走査線、画素電極等が形成された TFT アレイ基板の画素の平面図である。

図22は、図21におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。

図23は、第10実施例の電気光学装置における内蔵遮光膜及び第1遮光膜を抽出して示すTFTアレイ基板の画素の平面図である。

5 図24は、第11実施例の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の画素の平面図である。

図25は、図24におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。

10 図26は、第12実施例の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の画素の平面図である。

図27は、図26におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。

図28は、第11及び第12実施例の変形例を示す断面図である。

15 図29は、第13実施例の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の画素の平面図である。

図30は、図29におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。

図31は、第14実施例の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の画素の平面図である。

20 図32は、図31におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。

図33は、第15実施例の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の画素の平面図である。

25 図34は、図33におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。

図35は、第16実施例の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の画素の平面図である。

図36は、図35におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。

図37は、第17実施例の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の画素の平面図である。

図38は、図37におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。

5 図39は、第18実施例の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の画素の平面図である。

図40は、図39におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。

10 図41は、各実施例の電気光学装置におけるTFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

図42は、図41のH-H'断面図である。

#### 発明を実施するための最良の形態

以下、本発明を実施するための最良の形態について実施例毎に順に図面に基づいて説明する。以下の各実施例は、本発明の電気光学装置を液晶装置に適用したものである。

##### (第1実施例)

本発明の第1実施例における電気光学装置の構成について、図1から図3を参照して説明する。図1は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。図2は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図3は、図2のA-A'断面図である。尚、図3においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

25 図1において、本実施例における電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、画素電極9aと当該画素電極9aを制御するためのTFT30が形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わない

し、相隣接する複数のデータ線 6 a 同士に対して、グループ毎に供給するよう にしても良い。また、TFT30 のゲートに走査線 3 a が電気的に接続されて おり、所定のタイミングで、走査線 3 a にパルス的に走査信号 G 1、G 2、…、 G m を、この順に線順次で印加するように構成されている。画素電極 9 a は、  
5 TFT30 のドレインに電気的に接続されており、スイッチング素子である T  
FT30 を一定期間だけそのスイッチを閉じることにより、データ線 6 a から  
供給される画像信号 S 1、S 2、…、S n を所定のタイミングで書き込む。画  
素電極 9 a を介して電気光学物質の一例として液晶に書き込まれた所定レベ  
ルの画像信号 S 1、S 2、…、S n は、対向基板（後述する）に形成された対  
10 向電極（後述する）との間で一定期間保持される。液晶は、印加される電圧レ  
ベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表  
示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じ  
て入射光に対する透過率が低くなり、ノーマリーブラックモードであれば、印  
加された電圧に応じて入射光に対する透過率が高くなり、全体として電気光学  
15 装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持  
された画像信号がリークするのを防ぐために、画素電極 9 a と対向電極との間  
に形成される液晶容量と並列に蓄積容量 70 を付加する。蓄積容量 70 は、T  
FT30 のドレインと定電位を供給する容量線 300 との間に誘電体膜を介  
して形成されている。

20 図 2において、電気光学装置の TFT アレイ基板上には、マトリクス状に複  
数の透明な画素電極 9 a（点線部 9 a' により輪郭が示されている）が設けら  
れており、画素電極 9 a の縦横の境界に各々沿ってデータ線 6 a、走査線 3 a  
が設けられている。

また、半導体層 1 a のうち図中右下がりの斜線領域で示したチャネル領域 1  
25 a' に対向するように走査線 3 a が配置されており、走査線 3 a はゲート電極  
として機能する。このように、走査線 3 a とデータ線 6 a との交差する個所に  
は夫々、チャネル領域 1 a' に走査線 3 a がゲート電極として対向配置された  
画素スイッチング用 TFT30 が設けられている。

本実施例では、容量線 300 が、図中太線で示したように走査線 3 a の形成

領域に重ねて形成されている。より具体的には容量線 300 は、走査線 3a に沿って伸びる本線部と、図 2 中、データ線 6a と交差する各個所からデータ線 6a に沿って上方に夫々突出した突出部と、コンタクトホール 84 に対応する個所が僅かに括れた括れ部とを備えている。容量線 300 は、例えば、Ti、  
5 Cr、W、Ta、Mo、Nb 等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等からなる。

図 2 及び図 3 に示すように、データ線 6a は、バリア層 303 を中継することにより、コンタクトホール 81 及び 82 を介して例えばポリシリコン膜から  
10 なる半導体層 1a のうち高濃度ソース領域 1d に電気的に接続されている。他方、画素電極 9a は、バリア層 303 と同一膜からなる容量電極 302 をバリア層として利用して中継することにより、コンタクトホール 83 及び 84 を介して半導体層 1a のうち高濃度ドレイン領域 1e に電気的に接続されている。

このように容量電極 302 をバリア層として用いることにより、画素電極 9a と TFT30 を構成する半導体層 1a との間の層間距離が例えば 1000 nm 程度に長くても、両者間を一つのコンタクトホールで接続する技術的困難性を回避しつつ比較的小径の二つの直列なコンタクトホール 83 及び 84 で両者間を良好に接続でき、画素開口率を高めること可能となる。特にこのようなバリア層を用いれば、コンタクトホール開孔時におけるエッチングの突き抜け防止にも役立つ。同様に、バリア層 303 を用いることにより、データ線 6a と TFT30 を構成する半導体層 1a との間の層間距離が長くても、両者間を一つのコンタクトホールで接続する技術的困難性を回避しつつ比較的小径の二つの直列なコンタクトホール 81 及び 82 で両者間を良好に接続できる。このような容量電極 302 及びバリア層 303 は、例えば、Ti、Cr、W、  
20 Ta、Mo、Nb 等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等からなる。このような高融点金属から構成することにより、容量電極 302 及びバリア層 303 を各画素の開口領域を少なくとも部分的に規定する遮光膜として機能させることも可能となる。このような容量電極 302 及びバリア層 303 はスパッタリングにより比較的容易に形成でき

る。但し、容量電極 302 及びバリア層 303 は、高融点金属以外の金属膜から構成されてもよいし、光吸収層として或いは遮光機能とは無関係に透明な導電性のポリシリコン膜から構成されてもよいし、更に、これらの膜を複数含む多層膜から構成されてもよい。いずれの場合にも、容量電極 302 及びバリア層 303 の膜厚は、例えば 50～500 nm 程度とされる。

図 2 及び図 3 に示すように、容量電極 302 と容量線 300 とが誘電体膜 301 を介して対向配置されることにより、平面的に見て走査線 3a に重なる領域及びデータ線 6a に重なる領域に、蓄積容量 70 (図 1 参照) の一例たる蓄積容量 70-1 が構築されている。

即ち、容量線 300 は、走査線 3a を覆うように延びると共に、データ線 6a の領域下で、容量電極 302 を覆うように突き出す突出部を有し櫛歯状に形成している。容量電極 302 は、走査線 3a とデータ線 6a の交差部から、一方がデータ線 6a の領域下にある容量線 300 の突出部に沿って延び、他方が走査線 3a の領域上にある容量線 300 に沿って隣接するデータ線 6a 近傍まで延びる L 字状の島状容量電極を形成している。そして、誘電体膜 301 を介して容量線 300 に L 字状の容量電極 302 が重なる領域で蓄積容量 70-1 が形成される。

蓄積容量 70-1 の一方の容量電極である容量電極 302 は、コンタクトホール 84 で画素電極 9a と接続されており(同時にコンタクトホール 83 で高濃度ドレイン領域 1e と接続されており)、画素電極電位とされる。

蓄積容量 70-1 の他方の容量電極を含む容量線 300 は、画素電極 9a が配置された画像表示領域からその周囲に延設され、定電位源と電気的に接続されて、所定電位とされる。定電位源としては、TFT30 を駆動するための走査信号を走査線 3a に供給するための走査線駆動回路(後述する)や画像信号をデータ線 6a に供給するサンプリング回路を制御するデータ線駆動回路(後述する)に供給される正電源や負電源の定電位源でも良いし、対向基板に供給される定電位でも構わない。

蓄積容量 70-1 の誘電体膜 301 は、例えば膜厚 5～200 nm 程度の比較的薄い HTO (High Temperature Oxide) 膜、LTO (Low Temperature Oxide)

膜等の酸化シリコン膜、あるいは窒化シリコン膜等から構成される。蓄積容量 70-1 を増大させる観点からは、膜厚の信頼性が十分に得られる限りにおいて、誘電体膜 301 は薄い程良い。

図 3 に示すように、電気光学装置は、透明な TFT アレイ基板 10 と、これ 5 対向配置される透明な対向基板 20 とを備えている。TFT アレイ基板 10 は、例えば石英基板、ガラス基板、シリコン基板からなり、対向基板 20 は、例えばガラス基板や石英基板からなる。TFT アレイ基板 10 には、画素電極 9a が設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜 16 が設けられている。画素電極 9a は例えば、ITO (Indium 10 Tin Oxide) 膜などの透明導電性薄膜からなる。また配向膜 16 は例えば、ポリイミド薄膜などの有機薄膜からなる。

他方、対向基板 20 には、その全面に渡って対向電極 21 が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜 22 が設けられている。対向電極 21 は例えば、ITO 膜などの透明導電性薄膜からなる。 15 また配向膜 22 は、ポリイミド薄膜などの有機薄膜からなる。

TFT アレイ基板 10 には、各画素電極 9a に隣接する位置に、各画素電極 9a をスイッチング制御する画素スイッチング用 TFT 30 が設けられている。

対向基板 20 には、更に図 3 に示すように、第 2 遮光膜 23 を設けるように 20 しても良い。このような構成を探ることで、対向基板 20 側から入射光 L1 が画素スイッチング用 TFT 30 の半導体層 1a のチャネル領域 1a' や低濃度ソース領域 1b 及び低濃度ドレイン領域 1c に侵入することはない。更に、第 2 遮光膜 23 は、入射光 L1 が照射される面を高反射な膜で形成することにより、電気光学装置の温度上昇を防ぐ働きをする。

尚、本実施例では、A1 膜等からなる遮光性のデータ線 6a で、各画素の遮光領域のうちデータ線 6a に沿った部分を遮光してもよいし、容量線 300 を遮光性の膜で形成することにより、コンタクトホール 81, 82 の形成領域を除いたデータ線 6a 下方において遮光することができる。

このように構成され、画素電極 9a と対向電極 21 とが対面するように配置

された TFT アレイ基板 10 と対向基板 20との間には、後述のシール材により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層 50 が形成される。液晶層 50 は、画素電極 9a からの電界が印加されていない状態で配向膜 16 及び 22 により所定の配向状態をとる。液晶層 50 は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、TFT アレイ基板 10 及び対向基板 20 をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー或いはガラスピーブ等のギャップ材が混入されている。

更に、画素スイッチング用 TFT 30 の下には、下地絶縁膜 12 が設けられている。下地絶縁膜 12 は、TFT アレイ基板 10 の全面に形成されることにより、TFT アレイ基板 10 の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用 TFT 30 の特性の劣化を防止する機能を有する。

図 3において、画素スイッチング用 TFT 30 は、LDD (Lightly Doped Drain) 構造を有しており、走査線 3a、当該走査線 3a からの電界によりチャネルが形成される半導体層 1a のチャネル領域 1a'、走査線 3a と半導体層 1a とを絶縁するゲート絶縁膜を含む絶縁薄膜 2、データ線 6a、半導体層 1a の低濃度ソース領域 1b 及び低濃度ドレイン領域 1c、半導体層 1a の高濃度ソース領域 1d 並びに高濃度ドレイン領域 1e を備えている。高濃度ドレン領域 1e には、複数の画素電極 9a のうちの対応する一つが、コンタクトホール 83 及び 84 を介して（容量電極としても機能する）容量電極 302 により中継接続されている。また、走査線 3a の上には、高濃度ソース領域 1d へ通じるコンタクトホール 82 及び高濃度ドレイン領域 1e へ通じるコンタクトホール 83 が各々形成された第 1 層間絶縁膜 311 が形成されている。

容量線 300 上には、バリア層 303 へ通じるコンタクトホール 81 及び容量電極 302 へ通じるコンタクトホール 84 が各々形成された第 2 層間絶縁膜 312 が形成されている。

第 2 層間絶縁膜 312 上には、データ線 6a が形成されており、これらの上には更に、容量電極 302 へのコンタクトホール 84 が形成された第 3 層間絶

縁膜 7 が形成されている。前述の画素電極 9 a は、このように構成された第 3 層間絶縁膜 7 の上面に設けられている。

以上説明したように本実施例によれば、TFT アレイ基板 10 上で容量線 3 0 0 や容量電極 3 0 2 を走査線 3 a やデータ線 6 a に立体的に重ねて形成するように、容量線 3 0 0 を走査線 3 a の領域に沿って延出すると共にその一部をデータ線 6 a に沿って突出して形成し、容量電極 3 0 2 を容量線 3 0 0 に沿って L 字状に形成して蓄積容量 7 0 -1 を構築したので、前述した背景技術の如く容量線 3 0 0 を走査線 3 a に横並びに配線する必要が無く、各画素の非開口領域を広げないで済み、大きな蓄積容量が得られる。更に、十分な線幅を確保することにより走査線 3 a や容量線 3 0 0 を低抵抗化することもでき、特に微細ピッチな画素の高開口率化を図りつつ、表示画像中におけるクロストークやゴーストを低減して画質を向上できる。

また本実施例では特に、画素電極電位とされる容量電極 3 0 2 が、所定電位とされる容量線 3 0 0 よりも走査線 3 a に近い側に積層される構造を採用している。このため、容量電極 3 0 2 及び走査線 3 a 間に介在する第 1 層間絶縁膜 3 1 1 の膜厚を 200 ~ 2000 nm 程度に厚くするとよい。このように第 1 層間絶縁膜 3 1 1 を比較的厚く積むことにより、容量電極 3 0 2 及び走査線 3 a 間における容量カップリングによる悪影響を実践的な意味で低減できる。他方、画素電極電位とされる容量電極 3 0 2 とデータ線 6 aとの間には、所定電位とされる容量線 3 0 0 が積層されているので、容量電極 3 0 2 における電位変動が、容量カップリングによりデータ線 6 a に悪影響を及ぼすこと或いはデータ線 6 a における電位変動が容量カップリングにより容量電極 3 0 2 (更に画素電極 9 a) に悪影響を及ぼすことがないので有利である。

更に本実施例では特に、容量線 3 0 0 を遮光膜から構成することにより、或いはこれに加えて容量電極 3 0 2 及びバリア層 3 0 3 を遮光膜から構成することにより、画素開口領域を規定する遮光膜として機能させることができる。この際図 2 の平面図において、走査線 3 a、データ線 6 a 及び TFT 3 0 が、係る遮光膜の形成領域からはみ出さないのが好ましい。このように構成すれば、TFT アレイ基板 10 上に図 3 で上方から入射した入射光 L 1 が係る遮光膜

からはみ出した走査線 3 a、データ線 6 a 又は TFT 3 0 の表面で反射することで、当該電気光学装置の内部における内面反射光や多重反射光が発生することを効果的に未然防止できる。

尚、本実施例では、省略しているが、後述の第3実施例等のように、TFT 3 0 を TFT アレイ基板 1 0 側（図3中、下側）から覆う部分を含む下層遮光膜（図7等に示す第1遮光膜 1 1 a）を走査線 3 a に沿ってストライプ状に或いは走査線 3 a 及びデータ線 6 a に沿ってマトリクス状に形成してもよい。このような下層遮光膜は、TFT アレイ基板の裏面や投射光学系からの戻り光 L 2 を遮光し、この光に基づく光励起により TFT 3 0 のオフ時のリーク電流が原因で TFT 3 0 の特性が変化するのを有効に防止する。このような下層遮光層は、例えば、Ti、Cr、W、Ta、Mo、Nb 等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等やポリシリコン膜からなる。特に、複板式のカラー表示用のプロジェクタ等で複数の電気光学装置をプリズム等を介して組み合わせて一つの光学系を構成する場合には、他の電気光学装置からプリズム等を突き抜けて来る投射光部分からなる戻り光 L 2 は強力であるので、このように TFT 3 0 の下側に下層遮光膜を設けることは大変有効である。このような下層遮光膜についても、容量線 3 0 0 と同様に、画像表示領域からその周囲に延設して定電位源に接続するとよい。

以上説明した実施例では、多数の導電層を積層することにより、データ線 6 a や走査線 3 a に沿った領域に段差が生じるが、TFT アレイ基板 1 0 、下地絶縁膜 1 2 、第1層間絶縁膜 3 1 1 、第2層間絶縁膜 3 1 2 に溝を掘って、データ線 6 a 等の配線や TFT 3 0 等を埋め込むことにより平坦化処理を行つてもよいし、第3層間絶縁膜 7 や第2層間絶縁膜 3 1 2 の上面の段差を CMP (Chemical Mechanical Polishing) 処理等で研磨することにより、或いは有機 SOG を用いて平らに形成することにより、当該平坦化処理を行つてもよい。

更に以上説明した実施例では、画素スイッチング用 TFT 3 0 は、好ましくは図3に示したように LDD 構造を持つが、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c に不純物の打ち込みを行わないオフセット構造を持ってよいし、走査線 3 a の一部からなるゲート電極をマスクとして高濃度で不純物を

打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型の TFT であってもよい。また本実施例では、画素スイッチング用 TFT 30 のゲート電極を高濃度ソース領域 1d 及び高濃度ドレイン領域 1e 間に 1 個のみ配置したシングルゲート構造としたが、これらの間に 2 個以上のゲート電極を配置してもよい。このようにデュアルゲート或いはトリプルゲート以上で TFT を構成すれば、チャネルとソース及びドレイン領域との接合部のリーク電流を防止でき、オフ時の電流を低減することができる。

尚、第 1 実施例及び以下に説明する各実施例の電気光学装置において各種導電膜間を絶縁する各種の層間絶縁膜は、例えば、常圧、減圧 CVD 法、プラズマ CVD 法等により TEOS (テトラ・エチル・オルソ・シリケート) ガス、TEB (テトラ・エチル・ボートレート) ガス等を用いて、NSG (ノンドープ・シリケート・ガラス) 、PSG (リン・シリケート・ガラス) などのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等から構成すればよい。

#### (第 2 実施例)

次に、図 4 及び図 5 を参照して本発明の電気光学装置の第 2 実施例について説明する。ここに、図 4 は、データ線、走査線、画素電極等が形成された TFT アレイ基板の画素の平面図であり、図 5 は、図 4 におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。尚、図 5においては、各層や各部材を図面上で認識可能な程度の大きさとするため並びにコンタクトホールによる接続関係及び蓄積容量を構築する積層状態を理解し易くするため、各層や各部材毎に縮尺及び相対的な平面配置を適宜異ならしめてある。また、図 4 及び図 5において、図 2 及び図 3 (第 1 実施例) と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

図 4 及び図 5 に示すように、第 2 実施例では、第 1 実施例と比べて、蓄積容量を構成する下側の導電層から、容量電極 302 に代えて、容量線 300' が形成されている。更に、この上に誘電体膜 301 を介して積層された導電膜から容量線 300 に代えて、容量電極 302' が形成されている。また、この容量電極 302' と同一層からデータ線 6a を高濃度ソース領域 1d に接続する

ためのバリア層 303' が形成されている。容量線 300' は、第 1 実施例の容量線 300 と同様に所定電位とされ、容量電極 302' は、第 1 実施例の容量電極 302 と同様に画素電極電位とされて、蓄積容量 70 (図 1 参照) の他の一例たる蓄積容量 70-2 が構成されている。その他の構成については、第 5 1 実施例の場合と同様である。

従って、第 2 実施例によれば、前述した背景技術の如く容量線 300' を走査線 3a に横並びに配線する必要が無いので、各画素の非開口領域を広げないで済み、TFT アレイ基板 10 上で容量線 300' 及び容量電極 302' を走査線 3a やデータ線 6a に立体的に重ねて形成することにより、大きな蓄積容量が得られる。更に、十分な線幅を確保することにより走査線 3a や容量線 300' を低抵抗化することもでき、特に微細ピッチな画素の高開口率化を図りつつ、表示画像中におけるクロストークやゴーストを低減して画質を向上できる。

また第 2 実施例では特に、容量電極 302' が、所定電位とされる容量線 300' よりもデータ線 6a に近い側に積層される構造を採用している。このため、容量電極 302' 及びデータ線 6a 間に介在する第 2 層間絶縁膜 312 の膜厚を 200 ~ 2000 nm 程度に厚くするとよい。このように第 2 層間絶縁膜 312 を比較的厚く積むことにより、容量電極 302' 及びデータ線 6a 間における容量カップリングによる悪影響を実践的な意味で低減できる。他方、画素電極電位とされる容量電極 302' と走査線 3a との間には、所定電位とされる容量線 300' が積層されているので、容量電極 302' における電位変動が、容量カップリングにより走査線 3a に悪影響を及ぼすこと或いは走査線 3a における電位変動が容量カップリングにより容量電極 302' (更に画素電極 9a) に悪影響を及ぼすことがないので有利である。

### 25 (第 3 実施例)

次に、図 6 から図 10 を参照して本発明の電気光学装置の第 3 実施例について説明する。ここに、図 6 は、データ線、走査線、画素電極等が形成された TFT アレイ基板の画素の平面図であり、図 7 は、図 6 におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断

面図である。図 8 は、図 6 の X-X' 断面図、図 9 は、図 6 の Y-Y' 断面図、図 10 は、図 6 の Z-Z' 断面図である。尚、図 7においては、各層や各部材を図面上で認識可能な程度の大きさとするため並びにコンタクトホールによる接続関係及び蓄積容量を構築する積層状態を理解し易くするため、各層や各部材毎に縮尺及び相対的な平面配置を適宜異ならしめてある。図 8 から図 10 においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。また、図 6 から図 10 において、図 2 及び図 3（第 1 実施例）と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

10 第 3 実施例の電気光学装置では、図 6 から図 10 に示すように、蓄積容量 7 0-3 は、平面的に見てデータ線 6 a に重なる部分と、走査線 3 a に重なる部分とに分けて形成されている。更に、下地絶縁膜 1 2 の下側に導電性の第 1 遮光膜 1 1 a を備え、第 3 層間絶縁膜 7 内（即ち、層間絶縁膜 7 a と層間絶縁膜 7 b との間）に内蔵遮光膜 4 2 0 を備える。

15 より具体的には、図 7 に示すように、TFT アレイ基板 1 0 上に、画像表示領域の周辺で所定電位に落とされる容量線を兼ねる第 1 遮光膜 1 1 a、下地絶縁膜 1 2 及び TFT 3 0 がこの順に積層される。TFT 3 0 上には、第 1 層間絶縁膜 3 1 1、蓄積容量層、第 2 層間絶縁膜 3 1 2、データ線 6 a、層間絶縁膜 7 a、内蔵遮光層 4 2 0、層間絶縁層 7 b 及び画素電極 9 a がこの順に積層される。TFT 3 0 は、走査線 3 a とデータ線 6 a が交差する部位をチャネル領域 1 a' として、データ線 6 上に TFT の高濃度ソース領域 1 d と高濃度ドレイン領域 1 e が形成されている。

20 更に図 6 及び図 7 に示すように、蓄積容量 7 0-3 を構成する画素電位側容量電極の一例として、第 1 層間絶縁膜 3 1 1 上に、データ線 6 a の領域下で、走査線 3 a の隣接する領域からデータ線 6 a を覆う島状のバリア層 4 0 3 a が形成されている。このバリア層 4 0 3 a は平面的に見て一部画素電極 9 a 側に突き出した突出部を有する。また、蓄積容量 7 0-3 を構成する固定電位側容量電極の一例として、バリア層 4 0 3 a と同層で走査線 3 a の領域上に、データ線 6 a の隣接する領域から走査線 3 a を覆う島状のバリア層 4 0 3 b が

形成されている。これらのバリア層 403a、バリア層 403b 及び第 1 層間絶縁膜 311 上には誘電体膜 401 が形成される。誘電体膜 401 上には、蓄積容量 70-3 を構成する固定電位側容量電極の一例として、データ線 6a の領域下で、チャネル領域 1a' からバリア層 403a とデータ線 6a を覆う島状のバリア層 404a が形成されている。バリア層 404a はバリア層 403b に重なる突出部を有する。また、蓄積容量 70-3 を構成する画素電位側容量電極の一例として、バリア層 404a と同層で走査線 3a の領域上に、バリア層 403b と走査線 3a を覆う島状のバリア層 404b が形成されている。このバリア層 404b はバリア層 403a の突出部と重なる突出部を有する。

高濃度ソース領域 1d とデータ線 6aとの接続は、第 1 層間絶縁膜 311 と第 2 層間絶縁膜 312 を貫通するコンタクトホール A C N T で導通している。

また、高濃度ドレイン領域 1e と画素電極 9a との接続は、まず、高濃度ドレイン領域 1e とバリア層 403a とが第 1 層間絶縁膜 311 を貫通するコンタクトホール B C N T で導通している。そして、図 6 及び図 10 に示すように、バリア層 403a の突出部とバリア層 404b の突出部とがコンタクトホール D C N T で導通している。そして、図 6 及び図 9 に示すように、バリア層 404b と画素電極 9a（図 6 中、点線 9a' で輪郭が示されている）とが第 2 層間絶縁膜 312 と層間絶縁膜 7 を貫通するコンタクトホール I C N T で導通している。

そして、蓄積容量 70-3 を形成するためにバリア層 404a は所定電位の容量線である第 1 遮光膜 11a に、第 1 層間絶縁膜 311 と下地絶縁膜 12 を貫通するコンタクトホール S C N T で導通している。また、図 6 及び図 8 に示すように、バリア層 404a の突出部とバリア層 403b がコンタクトホール C C N T で導通し、バリア層 403b を所定電位としている。また、画素電極 9 に導通するバリア層 404b とバリア層 403a は画素電位を得る。

これらにより第 3 実施例では特に、誘電体膜 401 を介して対向配置されたバリア層 403a とバリア層 404a とで蓄積容量 70-3 の一部が形成され、誘電体膜 401 を介して対向配置されたバリア層 403b とバリア層 404b とで蓄積容量 70-3 の他の一部が形成され、全体として走査線 3a 及びデ

一タ線 6 a の形成領域に重ねて蓄積容量 7 0 -3 が構築されている。そして、第 1 遮光膜 1 1 a は、画像表示領域の周辺で所定電位に落とされる容量線としての機能と同時に、TFT アレイ基板 1 0 側からの戻り光が TFT 3 0 の半導体層 1 a に入るのを阻止する機能を有する。

5 従つて、第 3 実施例によれば、前述した背景技術の如く容量線を走査線に横並びに配線する必要が無いので、各画素の非開口領域を広げないで済み、TFT アレイ基板上で容量線及び容量電極を走査線やデータ線に立体的に重ねて形成することにより、大きな蓄積容量が得られる。更に、十分な線幅を確保することにより走査線や容量線を低抵抗化することもでき、特に微細ピッチな画素の高開口率化を図りつつ、表示画像中におけるクロストークやゴーストを低減して画質を向上できる。

また第 3 実施例では特に、走査線 3 a に沿った領域とデータ線 6 a に沿った領域とで、画素電位側容量電極を構成する導電膜と固定電位側容量電極を構成する導電膜とを入れ替える構成を採用する。即ち、走査線 3 a に沿った領域の大半で、画素電極電位とされるバリア層 4 0 4 b と走査線 3 a との間には、所定電位とされるバリア層 4 0 3 b が積層されているので、バリア層 4 0 4 b における電位変動が、容量カップリングにより走査線 3 a に悪影響を及ぼすこと或いは走査線 3 a における電位変動が容量カップリングによりバリア層 4 0 4 b (更に画素電極 9 a) に悪影響を及ぼすことがないので有利である。同時に、データ線 6 a に沿った領域の大半で、画素電極電位とされるバリア層 4 0 3 a とデータ線 6 a との間には、所定電位とされるバリア層 4 0 4 a が積層されているので、バリア層 4 0 3 a における電位変動が、容量カップリングによりデータ線 6 a に悪影響を及ぼすこと或いはデータ線 6 a における電位変動が容量カップリングによりバリア層 4 0 3 a (更に画素電極 9 a) に悪影響を及ぼすことがないので有利である。

加えて第 3 実施例では、容量線は、TFT アレイ基板 1 0 上で各画素毎に島状に形成されたバリア層 4 0 3 b 及びバリア層 4 0 4 a に夫々接続されると共に TFT アレイ基板 1 0 上でストライプ状又は格子状に配線された第 1 遮光膜 1 1 a からなり、第 1 遮光膜 1 1 a を介して画像表示領域外で所定電位に

落とす構成を採用するので、画像表示領域外の周辺領域にある定電位線或いは定電位源を利用して、画像表示領域内に配線される容量線を比較的簡単且つ確実に所定電位にできる。

尚、バリア層 403a、403b、404a 及び 404b、第 1 遮光膜 11a 並びに内蔵遮光膜 420 の材質については、例えば第 1 実施例における容量電極 302 及びバリア層 303 と同様に高融点金属、合金、金属シリサイド、或いはそれらを含む多層膜から構成される。第 1 遮光膜 11a の膜厚は、例えば 5~200 nm 程度である。また、図 9 でコンタクトホール I C N T 内には、第 2 層間絶縁膜 312 上に形成されるデータ線 6a と同一膜 (A1 膜) を用いてプラグ 6b を形成し、更に層間絶縁膜 7a 上に形成される内蔵遮光膜 420 と同一膜を用いてプラグ 420b を形成してもよい。同様に他の各コンタクトホール内にも、各層間絶縁膜上に形成される導電膜を用いてプラグを形成してもよいし、或いは、プラグを形成することなく直接接続してもよい。

#### (第 4 実施例)

次に、図 11 及び図 12 を参照して本発明の電気光学装置の第 4 実施例について説明する。ここに、図 11 は、データ線、走査線、画素電極等が形成された TFT アレイ基板の画素の平面図であり、図 12 は、図 11 におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。尚、図 12においては、各層や各部材を図面上で認識可能な程度の大きさとするため並びにコンタクトホールによる接続関係及び蓄積容量を構築する積層状態を理解し易くするため、各層や各部材毎に縮尺及び相対的な平面配置を適宜異ならしめてある。また、図 11 及び図 12において、図 2 及び図 3 (第 1 実施例) と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

図 11 及び図 12 に示すように、第 4 実施例では、第 1 実施例と比べて、1 本の容量線 300 に代えて、平面的に見てデータ線 6a の形成領域から外れた走査線 3a の中央付近において誘電体膜 301a 及び 301b に開孔されたコンタクトホール 321 により相接続された一対の容量線 300a 及び 300b を備えており、これらの間に容量電極 302 を挟持することで、蓄積容量

70 (図1参照) の他の一例たる蓄積容量70-4が構成されている。容量線300a及び300bは、走査線3aを覆うように延びると共に、データ線6aと交差する個所から図11中上側に向って突き出す突出部を有し櫛歯状に形成している。この際、容量線300bにおける突出部は、高濃度ドレイン領域1eと容量電極302とを接続するコンタクトホール83の手前まで突き出しており、容量線300bにおける突出部は、コンタクトホール83を超えて突き出している。そして、誘電体膜301a及び301bを介して、容量線300a及び300bとL字状の容量電極302とが夫々対向配置されることにより、蓄積容量70-4が形成される。尚、これに伴い、コンタクトホール81及び82を介してデータ線6aを高濃度ソース領域1dに接続するためのバリア層303”が容量線300bと同一層から形成されている。その他の構成については、第1実施例の場合と同様である。

従って、第4実施例によれば、前述した背景技術の如く容量線を走査線に横並びに配線する必要が無いので、各画素の非開口領域を広げないで済み、TFTアレイ基板10上で容量線300a及び300b並びに容量電極302を走査線3aやデータ線6aに立体的に重ねて形成することにより、極めて大きな蓄積容量が得られる。

また第4実施例では特に、画素電極電位とされる容量電極302は、所定電位とされる一対の容量線300a及び300bにより上下から挟持されるので、容量電極302における電位変動が、容量カップリングにより走査線3aやデータ線6aに悪影響を及ぼすこと或いは走査線3aやデータ線6aにおける電位変動が容量カップリングにより容量電極302(更には画素電極9a)に悪影響を及ぼすことはないので有利である。そして、このように構成すれば、容量カップリング低減のために、第1層間絶縁膜311や第2層間絶縁膜312を厚くしなくても済む。

#### (第5実施例)

次に、図13及び図14を参照して本発明の電気光学装置の第5実施例について説明する。ここに、図13は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の画素の平面図であり、図14は、図13におけるコンタ

クトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。尚、図14においては、各層や各部材を図面上で認識可能な程度の大きさとするため並びにコンタクトホールによる接続関係及び蓄積容量を構築する積層状態を理解し易くするため、各層や各部材毎に縮尺及び相対的な平面配置を適宜異ならしめてある。また、図13及び図14において、図2及び図3（第1実施例）或いは図6から図10（第3実施例）と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

第5実施例の電気光学装置は、図13及び図14に示すようにTFTアレイ基板10上の第1遮光膜11aを遮光膜としてのみならず固定電位側容量電極としても用い、これに対して別途追加的に形成した画素電位側容量電極としての容量電極502を、誘電体膜501を介して対向配置させることにより蓄積容量を形成したものである。

より具体的には図14に示すように、TFTアレイ基板10上に、画像表示領域の周辺で所定電位に落とされる容量線を兼ねる第1遮光膜11a、誘電体膜501及び容量電極502がこの順に積層される。容量電極502上に下地絶縁膜12及びTFT30が積層される。そして、走査線3aと同層にバリア層510が形成されている。TFT30及びバリア層510上には第1層間絶縁膜511、データ線6a、層間絶縁膜7及び画素電極9aがこの順に積層される。

TFT30は、走査線3aとデータ線6aが交差する部位をチャネル領域1a'にして、データ線6a上にTFTの高濃度ソース領域1dと高濃度ドレイン領域1eが形成されている。

バリア層510は、走査線3aとデータ線6aの交差部に隣接したデータ線6aの領域下で島状に形成されている。バリア層510の一部は平面的に見て画素電極9a側に突出する突出部を有する。

高濃度ソース領域1dとデータ線6aとの接続は、第1層間絶縁膜511を貫通するコンタクトホール551で導通している。

また、高濃度ドレイン領域1eと画素電極9aとの接続は、まず、高濃度ドレイン領域1eとバリア層510とがコンタクトホール554で導通してい

る。そして、バリア層 510 の突出部と画素電極 9a とが第 1 層間絶縁膜 51 1 と層間絶縁膜 7 を貫通するコンタクトホール 553 で導通している。

そして、蓄積容量 70-5 を形成するために、第 1 遮光膜 11a は、走査線 3a とデータ線 6a の領域に沿ったマトリクス状に延び、所定電位に接続される。容量電極 502 は、走査線 3a とデータ線 6a の交差部から、一方がデータ線 6a の領域下にある第 1 遮光膜 11a 上に沿って延び、他方が走査線 3a の領域下にある第 1 遮光膜 11a 上に沿って延びる L 字状の島状容量電極を形成している。そして、容量電極 502 はバリア層 510 と下地絶縁膜 12 を貫通するコンタクトホール 555 で導通し、画素電位を得る。これにより、誘電体膜 501 を介して第 1 遮光膜 11a と L 字状の容量電極 502 とが対向配置されることにより、蓄積容量 70-5 が形成される。

従って、第 5 実施例によれば、前述した背景技術の如く容量線を走査線に横並びに配線する必要が無いので、各画素の非開口領域を広げないで済み、TFT アレイ基板 10 上で容量線（第 1 遮光膜 11a）及び容量電極 502 を走査線 3a やデータ線 6a に立体的に重ねて形成することにより、大きな蓄積容量が得られる。

尚、第 1 遮光膜 11a は、例えば第 1 実施例における容量電極 302 及びバリア層 303 と同様に高融点金属、合金、金属シリサイド、或いはそれらを含む多層膜から構成され、その膜厚は、例えば 5～200 nm 程度である。容量電極 502 は、導電性のポリシリコン膜や上述した第 1 遮光膜 11a と同一材料から構成され、その膜厚は、50～100 nm 程度である。誘電体膜 501 は、例えば膜厚 5～200 nm 程度の比較的薄い HTO 膜、LTO 膜等の酸化シリコン膜、あるいは窒化シリコン膜等から構成される。他方、画素電極電位とされる容量電極 502 と半導体層 1a との間の容量カップリングを低減する観点から、本実施例では好ましくは下地絶縁膜 12 の層厚は、200～2000 nm 程度に比較的厚く設定される。

#### （第 6 実施例）

次に、図 15 及び図 16 を参照して本発明の電気光学装置の第 6 実施例について説明する。ここに、図 15 は、データ線、走査線、画素電極等が形成され

た TFT アレイ基板の画素の平面図であり、図 16 は、図 15 におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。尚、図 16 においては、各層や各部材を図面上で認識可能な程度の大きさとするため並びにコンタクトホールによる接続関係及び蓄積容量を構築する積層状態を理解し易くするため、各層や各部材毎に縮尺及び相対的な平面配置を適宜異ならしめてある。また、図 15 及び図 16 において、図 2 及び図 3 (第 1 実施例) 或いは図 13 及び図 14 (第 5 実施例) と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

図 15 及び図 16 に示すように、第 6 実施例では、第 5 実施例と比べて、誘電体膜 501 を介して第 1 遮光膜 11a の上側にある容量電極 502 に代えて、誘電体膜 501' を介して第 1 遮光膜 11a' の下側に容量電極 502' が配置されて、蓄積容量 70 (図 1 参照) の他の一例たる蓄積容量 70-6 は構成されている。またコンタクトホール 555 が存在する個所で第 1 遮光膜 11a' が分断されている。その他の構成については第 5 実施例の場合と同様である。

従って、第 6 実施例によれば、前述した背景技術の如く容量線を走査線に横並びに配線する必要が無いので、各画素の非開口領域を広げないで済み、TFT アレイ基板 10 上で容量線 (第 1 遮光膜 11a) 及び容量電極 502' を走査線 3a やデータ線 6a に立体的に重ねて形成することにより、大きな蓄積容量が得られる。

尚、第 5 実施例と比べると、画素電極電位とされる容量電極 502' と半導体層 1a との間には、所定電位の遮光膜 11a' が介在しているため、これら両者間における容量カップリングを低減するために、下地絶縁膜 12 の層厚を厚くしなくとも済む。

#### 25 (第 7 実施例)

次に、図 17 及び図 18 を参照して本発明の電気光学装置の第 7 実施例について説明する。ここに、図 17 は、データ線、走査線、画素電極等が形成された TFT アレイ基板の画素の平面図であり、図 18 は、図 17 におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図

式的な断面図である。尚、図18においては、各層や各部材を図面上で認識可能な程度の大きさとするため並びにコンタクトホールによる接続関係及び蓄積容量を構築する積層状態を理解し易くするため、各層や各部材毎に縮尺及び相対的な平面配置を適宜異ならしめてある。また、図17及び図18において、

- 5 図2及び図3（第1実施例）或いは図13及び図14（第5実施例）と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

図17及び図18に示すように、第7実施例では、第5実施例と比べて、誘電体膜501を介して第1遮光膜11aと容量電極502とを対向配置するのに代えて、下地絶縁膜12内（即ち、第1下地絶縁膜12aと第2下地絶縁

- 10 膜12bとの間）に、誘電体膜601を介して容量電極602と導電膜603とを対向配置することで、蓄積容量70（図1参照）の他の一例たる蓄積容量70-7が構成されている。この容量電極602は、コンタクトホール655を介して、バリア層510に接続されて、画素電極電位とされる。他方、導電膜603は、コンタクトホール656を介して第1遮光膜11aに接続されて、所定電位とされる。尚、これら一対の容量電極602及び導電膜603は、走査線3aに沿って伸びる部分とデータ線6aに沿って伸びる部分とが連結されてなるL字状の平面形状を有する。この際、導電層603のデータ線6aに沿った部分は、バリア層510と容量電極602とを接続するコンタクトホール655の手前まで突き出しており、容量電極602のデータ線6aに沿った部分は、コンタクトホール655を超えて突き出している。他方、導電層603の走査線3aに沿った部分は、導電層603と第1遮光膜11aとを接続するコンタクトホール656を超えて突き出しており、容量電極602の走査線3aに沿った部分は、コンタクトホール656の手前まで突き出している。その他の構成については第5実施例の場合と同様である。

- 25 従って、第7実施例によれば、前述した背景技術の如く容量線を走査線に横並びに配線する必要が無いので、各画素の非開口領域を広げないで済み、TFTアレイ基板10上で容量線及び容量電極を走査線3aやデータ線6aに立体的に重ねて形成することにより、大きな蓄積容量が得られる。

また第7実施例では、蓄積容量70-7を第1遮光膜11aとTFT30と

の間に構築したが、これを第1遮光膜11aとTFTアレイ基板10との間に構築することも可能である。

尚、以上説明した第5実施例から第7実施例のように半導体層1aの下側に蓄積容量70を構築する場合には、容量電極に代えて又は加えて、半導体層1eから延設した半導体層1aの部分を、上側に位置する容量電極として用いてもよい。

更に、以上説明した第3実施例及び第5実施例から第7実施例によれば、半導体層1aの下側にある第1遮光膜11aに、本来の遮光機能に加えて容量線としての機能を与えるので、積層構造及び製造工程を単純化する上で大変有利である。更にこのように第1遮光膜11aを設ける場合には、走査線3a、データ線6a及びTFT30は、平面的に見て第1遮光膜11aの形成領域からはみ出さないのが好ましい。これにより、戻り光が第1遮光膜11aの形成領域からはみ出した走査線3a、データ線6a又はTFT30の表面で反射することで、当該電気光学装置の内部における内面反射光や多重反射光が発生することを効果的に未然防止できる。

#### (第8実施例)

次に、図19及び図20を参照して本発明の電気光学装置の第8実施例について説明する。ここに、図19は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の画素の平面図であり、図20は、図19におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。尚、図20においては、各層や各部材を図面上で認識可能な程度の大きさとするため並びにコンタクトホールによる接続関係及び蓄積容量を構築する積層状態を理解し易くするため、各層や各部材毎に縮尺及び相対的な平面配置を適宜異ならしめてある。また、図19及び図20において、図2及び図3(第1実施例)と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

図19及び図20に示すように、第8実施例では、第1実施例と比べて、誘電体膜301を介して容量線300と容量電極302とを対向配置するのに代えて、第3層間絶縁膜7内(即ち、層間絶縁膜7aと層間絶縁膜7bとの間)

に導電性の内蔵遮光膜 700 を容量線として備え且つ誘電体膜 701 を介してこの内蔵遮光膜 700 と容量電極 702 とを対向配置することで、蓄積容量 70 (図 1 参照) の他の一例たる蓄積容量 70-8 が構成されている。この容量電極 702 は、層間絶縁膜 7b に開孔されたコンタクトホール 751 を介して、画素電極 9a に接続されて画素電極電位とされる。また、容量電極 702 は、層間絶縁膜 7a に開孔されたコンタクトホール 752 及び第 1 層間絶縁膜 311 に開孔されたコンタクトホール 753 を介してデータ線 6a と同一膜 (例えば、A1 膜) からなるバリア層 705 を中継して、高濃度ドレイン領域 1e に接続されている。更に、各画素の開口領域を規定すると共に蓄積容量 70-8 の容量線としても機能する内蔵遮光膜 700 は、画像表示領域外にまで格子状に延設されて所定電位に落とされている。内蔵遮光膜 700 は、コンタクトホール 751 の開孔を可能ならしめるべくコンタクトホール 751 に対応する個所が若干括れて平面形成されている。また、容量電極 702 は、走査線 3a に沿って伸びる部分とデータ線 6a に沿って伸びる部分とが連結され 15 てなる L 字状の平面形状を有し、コンタクトホール 751 による画素電極 9a との接続を良好に行うべくコンタクトホール 751 の周囲で若干幅広に形成されている。また、高濃度ドレイン領域 1e についても、コンタクトホール 753 によるバリア層 705 との接続を良好に行うべくコンタクトホール 753 の周囲で若干幅広に形成されている。尚、バリア層 705 は、平面的に見て 20 コンタクトホール 752 及び 753 の開孔位置を夫々含むように L 字状に形成されており、バリア層 705 と同一層からなるデータ線 6a は、バリア層 705 のコンタクトホール 753 付近における部分を避けるように若干括れて平面形成されている。その他の構成については第 1 実施例の場合と同様である。

従って、第 8 実施例によれば、前述した背景技術の如く容量線を走査線に横並びに配線する必要が無いので、各画素の非開口領域を広げないで済み、TFT アレイ基板 10 上で容量線及び容量電極を走査線 3a やデータ線 6a に立体的に重ねて形成することにより、大きな蓄積容量が得られる。

尚、内蔵遮光膜 700 及び容量電極 702 は、高融点金属、合金、金属シリサイド、或いはそれらを含む多層膜の他、データ線 6a と同じ A1 膜等から構

成してもよい。

(第9実施例)

次に、図21及び図22を参照して本発明の電気光学装置の第9実施例について説明する。ここに、図21は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の画素の平面図であり、図22は、図21におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。尚、図22においては、各層や各部材を図面上で認識可能な程度の大きさとするため並びにコンタクトホールによる接続関係及び蓄積容量を構築する積層状態を理解し易くするため、各層や各部材毎に縮尺及び相対的な平面配置を適宜異ならしめてある。また、図21及び図22において、図2及び図3(第1実施例)或いは図19及び図20(第8実施例)と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

図21及び図22に示すように、第9実施例では、第8実施例と比べて、容量線としての内蔵遮光膜700' と容量電極702'との上下関係が両者間の誘電体膜701'を中心に逆転して、蓄積容量70(図1参照)の他の一例たる蓄積容量70-9が構成されている。これに伴い、格子状の内蔵遮光膜700'は各画素毎に、コンタクトホール752の開孔を可能ならしめるべくコンタクトホール752に対応する個所が若干括れて平面形成されている。また、容量電極702'は、走査線3aに沿って伸びる部分とデータ線6aに沿って伸びる部分とが連結されてなるL字状の平面形状を有し、コンタクトホール751による画素電極9aとの接続を良好に行うべくコンタクトホール751の周囲で若干幅広に形成されている。その他の構成については第8実施例の場合と同様である。

従って、第9実施例によれば、前述した背景技術の如く容量線を走査線に横並びに配線する必要が無いので、各画素の非開口領域を広げないで済み、TFTアレイ基板10上で容量線及び容量電極を走査線3aやデータ線6aに立体的に重ねて形成することにより、大きな蓄積容量が得られる。

尚、以上説明した第8又は第9実施例のように画素電極9aに近接する第3層間絶縁膜7内に蓄積容量70を構築する場合には、容量電極に代えて又は加

えて、画素電極 9 a から延設した部分を、上側に位置する容量電極として用いてもよい。

#### (第 10 実施例)

次に、図 23 を参照して本発明の電気光学装置の第 10 実施例について説明する。第 10 実施例は、第 8 及び第 9 実施例の如くデータ線 6 a の上側に内蔵遮光膜 1011 a を備え、更に第 3 及び第 5 から第 7 実施例の如く TFT30 の下側に第 1 遮光膜 11 a を備え、両遮光膜間に上述した各実施例に示した TFT30 や蓄積容量 70 を構築した電気光学装置に係る。ここに、図 23 は、内蔵遮光膜 1011 a 及び第 1 遮光膜 11 a のみを抽出して示す TFT アレイ基板の画素の平面図である。

図 23 に示すように、第 10 実施例では、内蔵遮光膜 1011 a 及び第 1 遮光膜 11 a 共に格子状に形成されており、第 1 遮光膜 11 a は、平面的に見て内蔵遮光膜 1011 a の形成領域からはみ出さないように（即ち、一回り小さく）構成されている。内蔵遮光膜 1011 a により各画素の開口領域が規定される。また、両者間にある不図示の走査線、データ線及び TFT 等は、平面的に見て第 1 遮光膜 11 a の形成領域からはみ出さないように構成されている。

第 10 実施例によれば、対向基板 20 側からの入射光が内蔵遮光膜 1011 a の形成領域からはみ出した第 1 遮光膜 11 a（更に、走査線、データ線等）で反射することで、当該電気光学装置の内部における内面反射光や多重反射光が発生することを効果的に未然防止できる。尚、TFT アレイ基板 10 側からの戻り光が第 1 遮光膜 11 a の形成領域からはみ出した内蔵遮光膜 1011 a 部分で反射することで、当該電気光学装置の内部における内面反射光や多重反射光は若干発生する。しかしながら、戻り光は入射光に比べて遙かに光強度が低いために、戻り光による内面反射や多重反射光の悪影響は入射光のそれ比べて軽微である。従って本実施例の構成は有利である。

#### (第 11 実施例)

以上説明した第 1 から第 10 実施例は、半導体層のチャネル領域の上側にゲート電極（走査線）が配置されたトップゲート型の TFT を画素スイッチング用の TFT として備えたものであるが、以下に説明する第 11 から第 18 実施

例は、半導体層のチャネル領域の下側にゲート電極（走査線）が配置されたボトムゲート型のTFTを画素スイッチング用のTFTとして備えたものである。

次に、図24及び図25を参照して本発明の電気光学装置の第11実施例について説明する。ここに、図24は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の画素の平面図であり、図25は、図24におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。尚、図25においては、各層や各部材を図面上で認識可能な程度の大きさとするため並びにコンタクトホールによる接続関係及び蓄積容量を構築する積層状態を理解し易くするため、各層や各部材毎に縮尺及び相対的な平面配置を適宜異ならしめてある。また、図24及び図25において、図2及び図3（第1実施例）と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

図24及び図25に示すように、第11実施例では、ボトムゲート型の画素スイッチング用TFT30'の上方に、蓄積容量70（図1参照）の他の一例たる蓄積容量70-11が構築されている。より具体的には、TFTアレイ基板10上で、走査線3a'からデータ線6a'に沿って図24で上側に角状に突出したゲート電極部分上に、ゲート絶縁膜2'を介して半導体層210aが積層されている。このゲート電極部分に対向する半導体層210aの部分がチャネル領域とされている。半導体層210a上には、ソース電極204a及びドレイン電極204bが、データ線6a'と同一膜（例えばAl膜）から形成されている。ソース電極204a及びドレイン電極204bと半導体層210aとの間には夫々、オーミック接合を得るための例えばn<sup>+</sup>型a-Si（アモルファスシリコン）層からなる接合層205a及び205bが積層されており、チャネル領域の中央部における半導体層210a上には、チャネルを保護するための絶縁性のエッチストップ膜208が形成されている。ドレイン電極204bには、画素電極209aの端部が接続されており、この画素電極209aの端部上には、層間絶縁膜212を介して島状の容量電極202が積層されており、更に容量電極202上には、誘電体膜201を介して容量線200が積

層されている。そして、容量線 200 は、画像表示領域内をストライプ状に伸びて画像表示領域外まで延設されて、所定電位に落とされている。容量線 200 は図 24 に示したように平面的に見て、ソース電極 204a、走査線 3a' から突出したゲート電極及びドレイン電極 204b を覆うように各画素毎に  
5 図 24 中上側に幅広に形成された部分を有する（即ち、容量線 200 は、図 24 中上側に櫛歯を有すると共に走査線に沿って伸びるストライプ状に平面形成されている）。他方、容量電極 202 は、層間絶縁膜 212 に開孔されたコントラクトホール 213 を介して画素電極 209a の端部に接続されて、画素電極電位とされている。島状の容量電極 202 は図 24 に示したように平面的に見て、走査線 3a' に沿って伸びると共に、上述した容量電極 200 の各画素毎の幅広部分に対応する部分が幅広に形成されている。このように第 11 実施例では、誘電体膜 201 を介して画素電極電位とされた島状の容量電極 202 と所定電位とされた容量線 200 とが対向配置されることにより、蓄積容量 7  
10 0-11 が TFT30' の上方に構築される。

15 従って、第 11 実施例によれば、前述した背景技術の如く容量線を走査線に横並びに配線する必要が無いので、各画素の非開口領域を広げないで済み、TFT アレイ基板 10 上で容量線及び容量電極を走査線 3a' やデータ線 6a' に立体的に重ねて形成することにより、大きな蓄積容量が得られる。

尚、本実施例では、容量線 200 及び容量電極 202 の一方又は両方を、導電性の遮光膜から構成することにより、各画素の開口領域を規定する内蔵遮光膜として機能させることも可能である。或いは、容量線 200 及び容量電極 202 の一方又は両方を、透明の導電膜から構成して、各画素の開口領域を規定する内蔵遮光膜は別途形成してもよい。

#### （第 12 実施例）

25 次に、図 26 及び図 27 を参照して本発明の電気光学装置の第 12 実施例について説明する。ここに、図 26 は、データ線、走査線、画素電極等が形成された TFT アレイ基板の画素の平面図であり、図 27 は、図 26 におけるコントラクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。尚、図 27 においては、各層や各部材を図面上で認識

可能な程度の大きさとするため並びにコンタクトホールによる接続関係及び蓄積容量を構築する積層状態を理解し易くするため、各層や各部材毎に縮尺及び相対的な平面配置を適宜異ならしめてある。また、図26及び図27において、図24及び図25（第11実施例）と同様の構成要素には、同様の参照符5号を付し、その説明は省略する。

図26及び図27に示すように、第12実施例では、第11実施例と比べて、1本の容量線200に代えて、一対の容量線200a及び200bを備えており、これらの間に容量電極202を挟持することで、蓄積容量70（図1参照）の他の一例たる蓄積容量70-12が構成されている。また、容量線200a及び200bは図26に示したように平面的に見て、ソース電極204b、走査線3a'から突出したゲート電極及びドレイン電極204bを覆うのみならず、データ線6a'を覆うように各画素毎に図26中上側に大きく幅広に或いは突出して（即ち、上側に大きな櫛歯を有するストライプ状に）形成されている。他方、島状の容量電極202は、これに対応して図26中上側に大きく幅広に15（即ち、各島毎に、隅が膨れたL字形状に）形成されている。尚、所定電位とされる一対の容量線200a及び200bは、各画素毎或いは複数画素毎にコンタクトホールにより相接続されてもよいし、相互から独立して画像表示領域外までストライプ状に夫々引き回され、別々に定電位線等に接続されてもよい。その他の構成については、第11実施例の場合と同様である。

従って、第12実施例によれば、前述した背景技術の如く容量線を走査線に横並びに配線する必要が無いので、各画素の非開口領域を広げないで済み、TFTアレイ基板10上で容量線200a及び200b並びに容量電極202を走査線3a'やデータ線6a'に立体的に重ねて形成することにより、極めて大きな蓄積容量70が得られる。

また第12実施例では、画素電極電位とされる容量電極202は、所定電位とされる一対の容量線200a及び200bにより上下から挟持されるので、容量電極202における電位変動が、容量カップリングにより走査線3a'やデータ線6a'に悪影響を及ぼすこと或いは走査線3a'やデータ線6a'における電位変動が容量カップリングにより容量電極202（更には画素電極2

09a)に悪影響を及ぼすことはないので有利である。そして、このように構成すれば、容量カップリング低減のために、第1層間絶縁膜212を厚くしなくて済む。

以上説明した第11及び第12実施例では、半導体層210aの上側に画素電極209aの端部が配置されているが、図28に示すように、半導体層210aの下側に画素電極209aを配置してもよい。この場合における半導体層210aと画素電極209aとの接続は、ゲート絶縁膜2'にコンタクトホール214を開孔して行えばよい。

#### (第13実施例)

次に、図29及び図30を参照して本発明の電気光学装置の第13実施例について説明する。ここに、図29は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の画素の平面図であり、図30は、図29におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。尚、図30においては、各層や各部材を図面上で認識可能な程度の大きさとするため並びにコンタクトホールによる接続関係及び蓄積容量を構築する積層状態を理解し易くするため、各層や各部材毎に縮尺及び相対的な平面配置を適宜異ならしめてある。また、図29及び図30において、図24及び図25(第11実施例)と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

図29及び図30に示すように、第13実施例では、第11実施例と比べて、蓄積容量70(図1参照)の他の一例たる蓄積容量70-13の上方に画素電極209a'が配置されており、容量線200と画素電極209a'との間には層間絶縁膜216が積層されている。層間絶縁膜216に開孔されたコンタクトホール217を介して、画素電極209a'と容量電極202とが接続され、容量電極202は、画素電極電位とされている。尚、各画素毎に幅広部分を持つ(即ち、図29中上側に櫛歯を有する)ストライプ状の容量線200は、図29に示したように平面的に見て、コンタクトホール217を避ける分だけ当該幅広部分が若干小さくされており、島状の容量電極202は、コンタクトホール217で接続可能なように、その幅広部分がコンタクトホール217付

近で容量線 200 よりも若干大きくされている。その他の構成については、第 11 実施例の場合と同様である。

従って、第 13 実施例によれば、前述した背景技術の如く容量線を走査線に横並びに配線する必要が無いので、各画素の非開口領域を広げないで済み、TFT アレイ基板 10 上で容量線 200 並びに容量電極 202 を走査線 3a' やデータ線 6a' に立体的に重ねて形成することにより、大きな蓄積容量が得られる。

#### (第 14 実施例)

次に、図 31 及び図 32 を参照して本発明の電気光学装置の第 14 実施例について説明する。ここに、図 31 は、データ線、走査線、画素電極等が形成された TFT アレイ基板の画素の平面図であり、図 32 は、図 31 におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。尚、図 32においては、各層や各部材を図面上で認識可能な程度の大きさとするため並びにコンタクトホールによる接続関係及び蓄積容量を構築する積層状態を理解し易くするため、各層や各部材毎に縮尺及び相対的な平面配置を適宜異ならしめてある。また、図 31 及び図 32において、図 24 及び図 25 (第 11 実施例) 或いは図 29 及び図 30 (第 13 実施例) と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

図 31 及び図 32 に示すように、第 14 実施例では、第 13 実施例と比べて、蓄積容量 70 (図 1 参照) の他の一例たる蓄積容量 70-14 は、上側の導電膜から島状の容量電極 202' が構成され、下側の導電膜からストライプ状の容量線 200' が構成されている。そして、画素電極 209a' と容量電極 202' とは、層間絶縁膜 216 に開孔されたコンタクトホール 217' を介して接続されて、容量電極 202' は、画素電極電位とされる。また、容量電極 202' は、層間絶縁膜 212 に開孔されたコンタクトホール 213' を介して TFT 30' のドレイン電極 204b に接続されている。尚、図 31 に示すように、容量線 200' は、ソース電極 204b、走査線 3a' から突出したゲート電極及びドレイン電極 204b を覆うのみならず、データ線 6a' を覆うように各画素毎に図 31 中上側に大きく幅広に或いは突出して (即ち、上側に

大きな櫛歯を有するストライプ状に)形成されている。これに対応して、島状の容量電極 202' は夫々、図 31 中上側に大きく幅広に或いは突出して(即ち、隅が膨れた L 字形状に)形成されている。その他の構成については、第 13 実施例の場合と同様である。

5 従って、第 14 実施例によれば、前述した背景技術の如く容量線を走査線に横並びに配線する必要が無いので、各画素の非開口領域を広げないで済み、TFT アレイ基板 10 上で容量線 200' 並びに容量電極 202' を走査線 3a' やデータ線 6a' に立体的に重ねて形成することにより、大きな蓄積容量が得られる。

10 また第 14 実施例では、TFT 30'、走査線 3a' 及びデータ線 6a' と、画素電極電位とされる容量電極 202' との間には、所定電位とされる容量線 200' が介在しているので、容量電極 202' における電位変動が、容量カッピングにより TFT 30' 或いは走査線 3a' やデータ線 6a' における電位変動が容量カッピングにより容量電極 202' (更には画素電極 209a') に悪影響を及ぼすこと或いは走査線 3a' やデータ線 6a' における電位変動が容量カッピング低減のために、第 1 層間絶縁膜 212 を厚くしなくても済む。

尚、第 13 実施例や第 14 実施例の如く画素電極 209a' の下方に蓄積容量 70 を作り込む場合にも、容量線及び容量電極の一方又は両方を、導電性の遮光膜から構成することにより、各画素の開口領域を規定する内蔵遮光膜として機能させることも可能である。或いは、容量線及び容量電極の一方又は両方を、透明の導電膜から構成して、各画素の開口領域を規定する内蔵遮光膜は別途形成してもよい。更に、第 13 実施例や第 14 実施例の如く画素電極 209a' の下方に蓄積容量 70 を作り込む場合にも、第 12 実施例の如く一対の容量線で容量電極を挟持する構成を探ることも可能である。更に、容量線 200' はデータ線、走査線を覆うマトリクス状に形成してもよい。

#### (第 15 実施例)

次に、図 33 及び図 34 を参照して本発明の電気光学装置の第 15 実施例について説明する。ここに、図 33 は、データ線、走査線、画素電極等が形成さ

れた TFT アレイ基板の画素の平面図であり、図 3 4 は、図 3 3 におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。尚、図 3 4 においては、各層や各部材を図面上で認識可能な程度の大きさとするため並びにコンタクトホールによる接続関係及び蓄積容量を構築する積層状態を理解し易くするため、各層や各部材毎に縮尺及び相対的な平面配置を適宜異ならしめてある。また、図 3 3 及び図 3 4 において、図 2 4 及び図 2 5 (第 1 1 実施例) と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

図 3 3 及び図 3 4 に示すように、第 1 5 実施例では、第 1 1 実施例と比べて、  
TFT アレイ基板 1 0 上でボトムゲート型の TFT 3 0' の下方に、蓄積容量  
7 0 (図 1 参照) の他の一例たる蓄積容量 7 0 -15 が構築されている。より具体的には、TFT アレイ基板 1 0 上に、島状の容量電極 8 0 2 が形成され、この上に容量線 8 0 0 が誘電体膜 8 0 1 を介して対向配置されている。そして、この容量線 8 0 0 上に下地絶縁膜 1 2 を介して走査線 3 a が形成されている。  
容量線 8 0 0 は、ストライプ状に画像表示領域外に延設されて、所定電位に落とされる。他方、容量電極 8 0 2 は、下地絶縁膜 1 2 及び誘電体膜 8 0 1 に開孔されたコンタクトホール 8 1 3 により、半導体層 2 1 0 a のドレイン領域に接続されて、画素電極電位とされる。コンタクトホール 8 1 3 内には、走査線 3 a と同一の導電性材料 (例えば、導電性のポリシリコン) からなるプラグ 3 b' が配置されている。尚、容量線 8 0 0 は図 3 3 に示したように平面的に見て、ソース電極 2 0 4 a、走査線 3 a' から突出したゲート電極及びドレイン電極 2 0 4 b を覆うのみならず、データ線 6 a' を覆うように各画素毎に図 3 中上側に大きく幅広に或いは突出して (即ち、上側に大きな櫛歯を有するストライプ状に) 形成されている。他方、島状の容量電極 8 0 2 は、これに対応して図 3 3 中上側に大きく幅広に (即ち、各島毎に、隅が膨れた L 字形状に) 形成されている。その他の構成については、第 1 1 実施例の場合と同様である。

従って、第 1 5 実施例によれば、前述した背景技術の如く容量線を走査線に横並びに配線する必要が無いので、各画素の非開口領域を広げないで済み、TFT アレイ基板 1 0 上で容量線 8 0 0 並びに容量電極 8 0 2 を走査線 3 a' や

データ線 6 a' に立体的に重ねて形成することにより、大きな蓄積容量が得られる。

また第 15 実施例では、TFT 30'、走査線 3 a' 及びデータ線 6 a' と、画素電極電位とされる容量電極 802 との間には、所定電位とされる容量線 8 5 00 が介在しているので、容量電極 802 における電位変動が、容量カップリングにより TFT 30' 或いは走査線 3 a' やデータ線 6 a' に悪影響を及ぼすこと或いは走査線 3 a' やデータ線 6 a' における電位変動が容量カップリングにより容量電極 802 (更には画素電極 209a) に悪影響を及ぼすことはないので有利である。そして、このように構成すれば、容量カップリング低 10 減のために、下地絶縁膜 12 を厚くしなくても済む。

#### (第 16 実施例)

次に、図 35 及び図 36 を参照して本発明の電気光学装置の第 16 実施例について説明する。ここに、図 35 は、データ線、走査線、画素電極等が形成された TFT アレイ基板の画素の平面図であり、図 36 は、図 35 におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。尚、図 36においては、各層や各部材を図面上で認識可能な程度の大きさとするため並びにコンタクトホールによる接続関係及び蓄積容量を構築する積層状態を理解し易くするため、各層や各部材毎に縮尺及び相対的な平面配置を適宜異ならしめてある。また、図 35 及び図 36 において、図 24 及び図 25 (第 11 実施例) 或いは図 33 及び図 34 (第 15 実施例) と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

図 35 及び図 36 に示すように、第 16 実施例では、第 15 実施例と比べて、蓄積容量 70 (図 1 参照) の他の一例たる蓄積容量 70-16 は、上側の導電膜から島状の容量電極 802' が構成され、下側の導電膜からストライプ状の容量線 800' が構成されている。そして、容量電極 802' は、下地絶縁膜 12 に開孔されたコンタクトホール 813' を介して TFT 30' のドレイン領域に接続され、画素電極電位とされる。尚、容量線 800' は図 35 に示したように平面的に見て、ソース電極 204a、走査線 3 a' から突出したゲート電極及びドレイン電極 204b を覆うように各画素毎に図 35 中上側に比較

的小さく幅広に形成されている（即ち、データ線 6 a' を覆うように各画素毎に図 3 5 中上側に大きく突出していない）。他方、島状の容量電極 802 は、これに対応して図 3 5 中上側に比較的小さく幅広に形成されている。その他の構成については、第 1 5 実施例の場合と同様である。

5 従って、第 1 6 実施例によれば、前述した背景技術の如く容量線を走査線に横並びに配線する必要が無いので、各画素の非開口領域を広げないで済み、TFT アレイ基板 10 上で容量線 800' 並びに容量電極 802' を走査線 3 a' やデータ線 6 a' に立体的に重ねて形成することにより、大きな蓄積容量が得られる。

10 尚、第 1 5 実施例や第 1 6 実施例の如く走査線 3 a' の下方に蓄積容量 70 を作り込む場合にも、容量線及び容量電極の一方又は両方を、導電性の遮光膜から構成することにより、各画素の開口領域を規定する内蔵遮光膜や TFT 30' を戻り光から遮光する第 1 遮光膜として機能させることも可能である。或いは、容量線及び容量電極の一方又は両方を、透明の導電膜から構成して、各画素の開口領域を規定する内蔵遮光膜や TFT 30' を遮光する第 1 遮光膜は別途形成してもよい。更に、第 1 5 実施例や第 1 6 実施例の如く走査線 3 a' の下方に蓄積容量 70 を作り込む場合にも、第 1 2 実施例の如く一対の容量線で容量電極を挟持する構成を探ることも可能である。

#### （第 1 7 実施例）

20 次に、図 3 7 及び図 3 8 を参照して本発明の電気光学装置の第 1 7 実施例について説明する。ここに、図 3 7 は、データ線、走査線、画素電極等が形成された TFT アレイ基板の画素の平面図であり、図 3 8 は、図 3 7 におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。尚、図 3 8 においては、各層や各部材を図面上で認識可能な程度の大きさとするため並びにコンタクトホールによる接続関係及び蓄積容量を構築する積層状態を理解し易くするため、各層や各部材毎に縮尺及び相対的な平面配置を適宜異ならしめてある。また、図 3 7 及び図 3 8 において、図 2 4 及び図 2 5（第 1 1 実施例）或いは図 2 9 及び図 3 0（第 1 3 実施例）と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

図37及び図38に示すように、第17実施例では、第13実施例と比べて、蓄積容量70（図1参照）の他の一例たる蓄積容量70-17の上方にある層間絶縁膜216a及び216b間に、データ線6a”が配置されている。データ線6a”は、層間絶縁膜216a及び層間絶縁膜212に開孔されたコンタクトホール218を介してTFT30’のソース領域に接続されており、平面的に見てTFT30’のゲート電極を上方から部分的に覆う位置に形成されている。容量電極202は、層間絶縁膜216a及び216bに開孔されたコンタクトホール217”を介して画素電極209a’に接続され、画素電極電位とされている。尚、容量線200は図37に示したように平面的に見て、ソース電極204a、走査線3a’から突出したゲート電極及びドレイン電極204bを覆うのみならず、データ線6a”及び画素電極9aにおけるデータ線6a”に隣接する領域の一部を覆うように各画素毎に図37中上側に大きく突出して（即ち、上側に鋭い櫛歯を有するストライプ状に）形成されている。他方、島状の容量電極202は、これに対応して図37中上側に大きく幅広に（即ち、各島毎に、隅が膨れたL字形状に）形成されている。その他の構成については、第13実施例の場合と同様である。

従って、第17実施例によれば、前述した背景技術の如く容量線を走査線に横並びに配線する必要が無いので、各画素の非開口領域を広げないで済み、TFTアレイ基板10上で容量線200並びに容量電極202を走査線3a’やデータ線6a”に立体的に重ねて形成することにより、大きな蓄積容量が得られる。

#### （第18実施例）

次に、図39及び図40を参照して本発明の電気光学装置の第18実施例について説明する。ここに、図39は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の画素の平面図であり、図40は、図39におけるコンタクトホールによる各層の接続関係及び蓄積容量を構築する積層状態を示す図式的な断面図である。尚、図40においては、各層や各部材を図面上で認識可能な程度の大きさとするため並びにコンタクトホールによる接続関係及び蓄積容量を構築する積層状態を理解し易くするため、各層や各部材毎に縮尺及

び相対的な平面配置を適宜異ならしめてある。また、図39及び図40において、図24及び図25（第11実施例）或いは図37及び図38（第17実施例）と同様の構成要素には、同様の参照符号を付し、その説明は省略する。

図39及び図40に示すように、第18実施例では、第17実施例と比べて、  
5 上側の導電膜から島状の容量電極202'を構成し、下側の導電膜からストライプ状の容量線200'を構成している。そして、画素電極209a'と容量電極202'とは、層間絶縁膜216a及び216bに開孔されたコンタクトホール217"を介して接続されて、容量電極202'は、画素電極電位とされる。また、容量電極202'が層間絶縁膜212に開孔されたコンタクトホール213'を介してTFT30'のドレイン電極204bに接続されて、蓄積容量70（図1参照）の他の一例たる蓄積容量70-18が構成されている。  
10 尚、容量線200'は図39に示したように平面的に見て、ソース電極204b、走査線3a'から突出したゲート電極及びドレイン電極204bを覆うのみならず、データ線6a"の大半及び画素電極9aにおけるデータ線6a"に隣接する領域の一部を覆うように各画素毎に図39中上側に非常に大きく突出して（即ち、上側に非常に大きな櫛歯を有するストライプ状に）形成されている。更に、容量線200'は、コンタクトホール213'、217"及び218を避けるようにコンタクトホール213'とコンタクトホール218との間にある上記上側に大きく突出する部分の根元付近がくびれた平面形状を有  
15 する。他方、島状の容量電極202'は、これに対応して図39中上側に非常に大きく幅広に（即ち、各島毎に、隅が膨れたL字形状に）形成されている。その他の構成については、第17実施例の場合と同様である。

従って、第18実施例によれば、前述した背景技術の如く容量線を走査線に横並びに配線する必要が無いので、各画素の非開口領域を広げないで済み、TFTアレイ基板10上で容量線200'並びに容量電極202'を走査線3a'やデータ線6a"に立体的に重ねて形成することにより、大きな蓄積容量が得られる。

尚、第17実施例や第18実施例の如く走査線3a'とデータ線6a"との間に蓄積容量70を作り込む場合にも、容量線及び容量電極の一方又は両方を、

導電性の遮光膜から構成することにより、各画素の開口領域を規定する内蔵遮光膜として機能させることも可能である。或いは、容量線及び容量電極の一方又は両方を、透明の導電膜から構成して、各画素の開口領域を規定する内蔵遮光膜は別途形成してもよい。更に、第17実施例や第18実施例の如く走査線5 3 a' とデータ線 6 a"との間に蓄積容量 7 0を作り込む場合にも、第12実施例の如く一対の容量線で容量電極を挟持する構成を探ることも可能である。

以上説明した第11から第18実施例のように、ボトムゲート型のTFTを画素スイッチング用TFTとして用いる場合、画素電極とデータ線とを同一導電膜から構成することも可能である。この場合にも、画素電極とTFTとの間に10 各種の蓄積容量を構築可能であり、容量線と容量電極との上下関係についてはどちらでも可能であり、更に容量電極を一対の容量線で挟持することも可能である。

#### (電気光学装置の全体構成)

以上のように構成された各実施例における電気光学装置の全体構成を図4 15 1及び図4 2を参照して説明する。尚、図4 1は、TFTアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図4 2は、図4 1のH-H'断面図である。

図4 2において、TFTアレイ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、例えば第2遮光膜23と同じ或いは異なる材料から成る画像表示領域10aの周辺を規定する額縁としての第3遮光膜53が設けられている。シール材52の外側の領域には、データ線6aに画像信号を所定タイミングで供給することによりデータ線6aを駆動するデータ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の一辺に沿って設けられており、走査線3aに走査信号を所定タイミングで供給することにより走査線3aを駆動する走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域10aの辺に沿って両側に配列してもよい。更にTFTアレイ基板10の残る一辺に

は、画像表示領域 10 a の両側に設けられた走査線駆動回路 104 間をつなぐための複数の配線 105 が設けられている。また、対向基板 20 のコーナー部の少なくとも 1箇所においては、TFT アレイ基板 10 と対向基板 20 との間で電気的に導通をとるための導通材 106 が設けられている。そして、図 4 2  
5 に示すように、図 4 1 に示したシール材 52 とほぼ同じ輪郭を持つ対向基板 20 が当該シール材 52 により TFT アレイ基板 10 に固着されている。

尚、TFT アレイ基板 10 上には、これらのデータ線駆動回路 101、走査線駆動回路 104 等に加えて、複数のデータ線 6a に画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線 6a に所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

以上図 1 から図 4 2 を参照して説明した各実施例では、データ線駆動回路 101 及び走査線駆動回路 104 を TFT アレイ基板 10 の上に設ける代わりに、例えば TAB (Tape Automated bonding) 基板上に実装された駆動用 LS I に、TFT アレイ基板 10 の周辺部に設けられた異方性導電フィルムを介して電気的及び機械的に接続するようにしてもよい。また、対向基板 20 の投射光が入射する側及び TFT アレイ基板 10 の出射光が出射する側には各々、例えば、TN (Twisted Nematic) モード、VA (Vertically Aligned) モード、  
20 PDL C (Polymer Dispersed Liquid Crystal) モード等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

以上説明した各実施例における電気光学装置は、プロジェクタに適用されるため、3 枚の電気光学装置が RGB 用のライトバルブとして各々用いられ、各  
25 ライトバルブには各々 RGB 色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施例では、対向基板 20 に、カラーフィルタは設けられていない。しかしながら、第 2 遮光膜 23 の形成されていない画素電極 9a に対向する所定領域に RGB のカラーフィルタをその保護膜と共に、対向基板 20 上に形成してもよい。

このようにすれば、プロジェクタ以外の直視型や反射型のカラー電気光学装置について、各実施例における電気光学装置を適用できる。また、対向基板 20 上に 1 画素 1 個対応するようにマイクロレンズを形成してもよい。あるいは、  
5 TFT アレイ基板 10 上の RGB に対向する画素電極 9a 下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板 20 上に、何層もの屈折率の相違する干渉層を堆積することで、  
10 光の干渉を利用して、RGB 色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラ一電気光学装置が実現できる。

本発明は、上述した各実施例に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴なう電気光学装置もまた本発明の技術的範囲に含まれるものである。

15

#### 産業上の利用可能性

本発明に係る電気光学装置は、画素開口率を高めると同時に蓄積容量の増大を図ることができ、クロストークやゴーストが低減されており、高品位の画像表示が可能な各種の表示装置として利用可能であり、更に、液晶テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、ワークステーション、携帯電話、テレビ電話、POS 端末、タッチパネル等の各種の電子機器の表示部を構成する表示装置として利用可能である。

## 請求の範囲

1. 基板上に、相交差する走査線及びデータ線と、該走査線及びデータ線に接続された薄膜トランジスタと、該薄膜トランジスタに接続された画素電極と、  
5 前記画素電極に接続され画素電極電位とされる画素電位側容量電極と該画素電位側容量電極に誘電体膜を介して対向配置された所定電位とされる固定電位側容量電極とを含み前記走査線に対して積層形成された蓄積容量とを備えたことを特徴とする電気光学装置。
2. 前記薄膜トランジスタは、前記走査線の一部からなるゲート電極がチャネル領域の上側に位置することを特徴とする請求項1に記載の電気光学装置。  
10
3. 前記薄膜トランジスタは、前記走査線の一部からなるゲート電極がチャネル領域の下側に位置することを特徴とする請求項1に記載の電気光学装置。
4. 前記薄膜トランジスタのゲート電極は、前記走査線と同一の導電層からなることを特徴とする請求項1に記載の電気光学装置。  
15
5. 前記薄膜トランジスタのゲート電極は、前記走査線と別の導電層からなることを特徴とする請求項1に記載の電気光学装置。
6. 前記蓄積容量は、前記基板上における前記走査線の上側に位置することを特徴とする請求項1に記載の電気光学装置。  
20
7. 前記蓄積容量は、前記基板上における前記走査線の下側に位置することを特徴とする請求項1に記載の電気光学装置。
8. 前記蓄積容量は、前記基板上における前記データ線の上側の層間位置にあることを特徴とする請求項1に記載の電気光学装置。  
25
9. 前記蓄積容量は、前記基板上における前記データ線と前記走査線との間の層間位置にあることを特徴とする請求項1に記載の電気光学装置。
10. 前記固定電位側容量電極及び前記画素電位側容量電極の一方は、前記データ線と同一の導電層からなることを特徴とする請求項1に記載の電気光学装置。  
11. 前記画素電位側容量電極は、前記固定電位側容量電極の上側にあることを特徴とする請求項1に記載の電気光学装置。

1 2 . 前記画素電位側容量電極は、前記固定電位側容量電極の下側にあることを特徴とする請求項 1 に記載の電気光学装置。

1 3 . 前記画素電極の層間位置は、前記基板上における前記走査線の上側にあることを特徴とする請求項 1 に記載の電気光学装置。

5 1 4 . 前記画素電極の層間位置は、前記基板上における前記走査線の下側にあることを特徴とする請求項 1 に記載の電気光学装置。

1 5 . 前記蓄積容量は、前記走査線に加えて前記データ線に対して積層形成されたことを特徴とする請求項 1 に記載の電気光学装置。

10 1 6 . 前記固定電位側容量電極に接続されており、前記基板上でストライプ状又は格子状に配線され、画像表示領域外で所定電位に落とされる容量線を更に備えたことを特徴とする請求項 1 に記載の電気光学装置。

1 7 . 前記容量線は、前記固定電位側容量電極と同一の導電層からなることを特徴とする請求項 1 6 に記載の電気光学装置。

15 1 8 . 前記容量線は、前記固定電位側容量電極と別の導電層からなることを特徴とする請求項 1 6 に記載の電気光学装置。

1 9 . 前記画素電位側容量電極は、前記薄膜トランジスタと前記画素電極間に介在する島状の導電膜であることを特徴とする請求項 1 に記載の電気光学装置。

20 2 0 . 前記薄膜トランジスタと前記島状の導電膜との接続部は、前記データ線に対応する領域に形成されることを特徴とする請求項 1 9 に記載の電気光学装置。

2 1 . 前記画素電極と前記島状の導電膜との接続部は、前記データ線に対応する領域に形成されることを特徴とする請求項 1 9 に記載の電気光学装置。

25 2 2 . 前記画素電極と前記島状の導電膜との接続部は、前記走査線に対応する領域に形成されることを特徴とする請求項 1 9 に記載の電気光学装置。

2 3 . 前記固定電位側容量電極は、前記走査線と前記画素電位側容量電極との間に積層されていることを特徴とする請求項 1 に記載の電気光学装置。

2 4 . 前記画素電位側容量電極は、前記固定電位側容量電極よりも前記走査線に近い側に積層されていることを特徴とする請求項 1 に記載の電気光学裝

置。

25. 前記固定電位側容量電極は、前記データ線と前記画素電位側容量電極との間に積層されていることを特徴とする請求項1に記載の電気光学装置。

26. 前記画素電位側容量電極は、前記固定電位側容量電極よりも前記データ線に近い側に積層されていることを特徴とする請求項1に記載の電気光学装置。  
5

27. 前記固定電位側容量電極は、前記基板上で走査線に沿った領域において前記走査線と前記画素電位側容量電極との間に積層された部分を含み、前記基板上でデータ線に沿った領域において前記データ線と前記画素電位側容量電  
10 極との間に積層された部分を含むことを特徴とする請求項1に記載の電気光学装置。

28. 前記走査線に沿った領域では、前記誘電体膜を介して積層された第1及び第2導電膜のうちの一方から前記画素電位側容量電極が構成されていると共に前記第1及び第2導電膜のうちの他方から前記固定電位側容量電極が構成されており、且つ前記データ線に沿った領域では、前記第1及び第2導電膜のうちの他方から前記画素電位側容量電極が構成されていると共に前記第1及び第2導電膜の一方から前記固定電位側容量電極が構成されていることを特徴とする請求項27に記載の電気光学装置。  
15

29. 前記画素電位側容量電極及び前記固定電位側容量電極の一方は、他方を上下から挟持する一対の電極からなることを特徴とする請求項1に記載の電気光学装置。  
20

30. 前記固定電位側容量電極が、前記画素電位側容量電極を上下から挟持する一対の電極からなることを特徴とする請求項29に記載の電気光学装置。

31. 前記画素電位側容量電極及び前記固定電位側容量電極のうち少なくとも一方は、遮光性を有することを特徴とする請求項1に記載の電気光学装置。  
25

32. 前記遮光性を有する一方の容量電極は、高融点金属を含むことを特徴とする請求項31に記載の電気光学装置。

33. 前記遮光性を有する一方の容量電極は、前記基板上で前記薄膜トランジスタの上層に位置し且つ各画素の開口領域を少なくとも部分的に規定する導

電性の上層遮光膜からなることを特徴とする請求項 3 1 に記載の電気光学装置。

3 4 . 前記走査線、前記データ線及び前記薄膜トランジスタは、前記基板上で平面的に見て前記上層遮光膜の形成領域からはみ出さないことを特徴とする  
5 請求項 3 3 に記載の電気光学装置。

3 5 . 前記遮光性を有する一方の容量電極は、前記薄膜トランジスタの少なくともチャネル領域を覆うこと特徴とする請求項 3 1 に記載の電気光学装置。

3 6 . 前記遮光性を有する一方の容量電極は、前記基板上で前記薄膜トランジスタの下層に位置し且つ前記少なくともチャネル領域を前記基板側から見て  
10 覆う導電性の下層遮光膜からなることを特徴とする請求項 3 5 に記載の電気光学装置。 3 7 . 前記走査線、前記データ線及び前記薄膜トランジスタは、前記基板上で平面的に見て前記下層遮光膜の形成領域からはみ出さないことを特徴とする請求項 3 6 に記載の電気光学装置。

3 8 . 前記基板上で前記薄膜トランジスタの上層に位置し且つ各画素の開口領域を少なくとも部分的に規定する上層遮光膜と、  
15 前記基板上で前記薄膜トランジスタの下層に位置し且つ前記薄膜トランジスタの少なくともチャネル領域を前記基板側から見て覆う下層遮光膜と

を更に備え、

前記遮光性を有する一方の容量電極は、前記上層遮光膜及び前記下層遮光膜  
20 のうちの一方からなり、

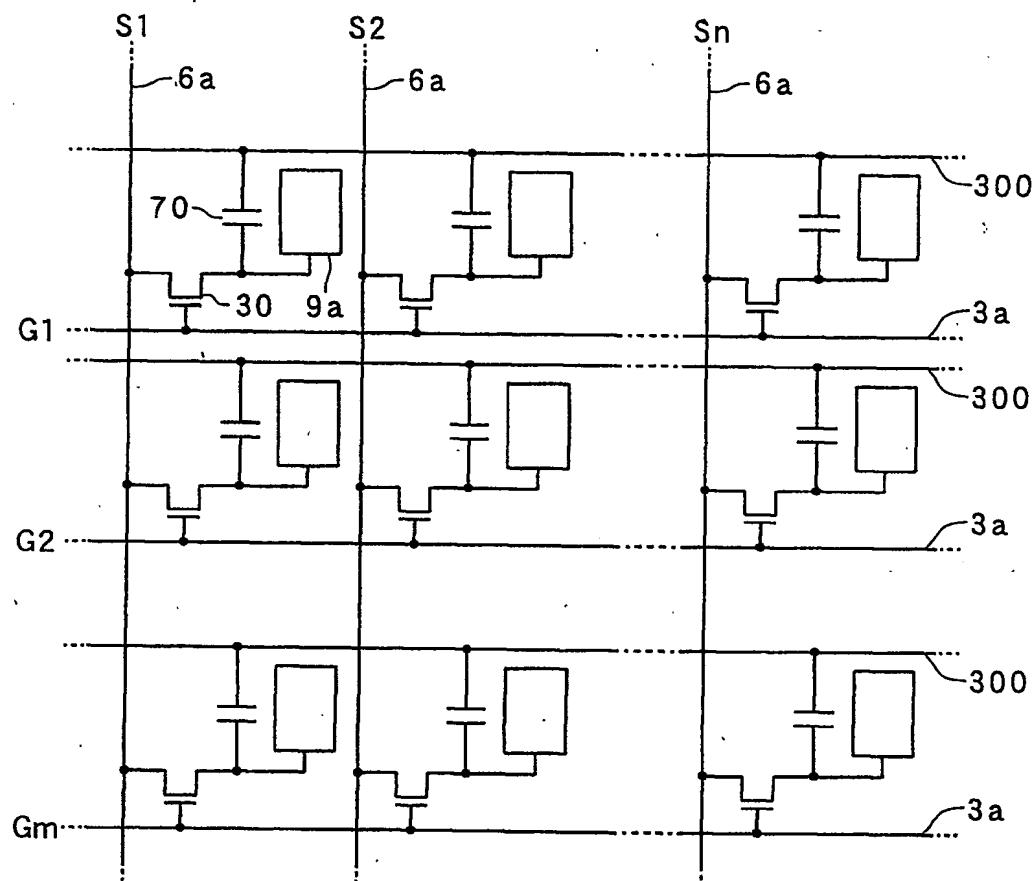
前記下層遮光膜は、前記基板上で平面的に見て前記上層遮光膜の形成領域からはみ出さないことを特徴とする請求項 3 1 に記載の電気光学装置。

3 9 . 前記画素電位側容量電極は、前記薄膜トランジスタのドレイン領域を構成する導電膜が延設されてなることを特徴とする請求項 1 に記載の電気光学  
25 装置。

4 0 . 前記画素電位側容量電極は、前記画素電極を構成する導電膜が延設されてなることを特徴とする請求項 1 に記載の電気光学装置。

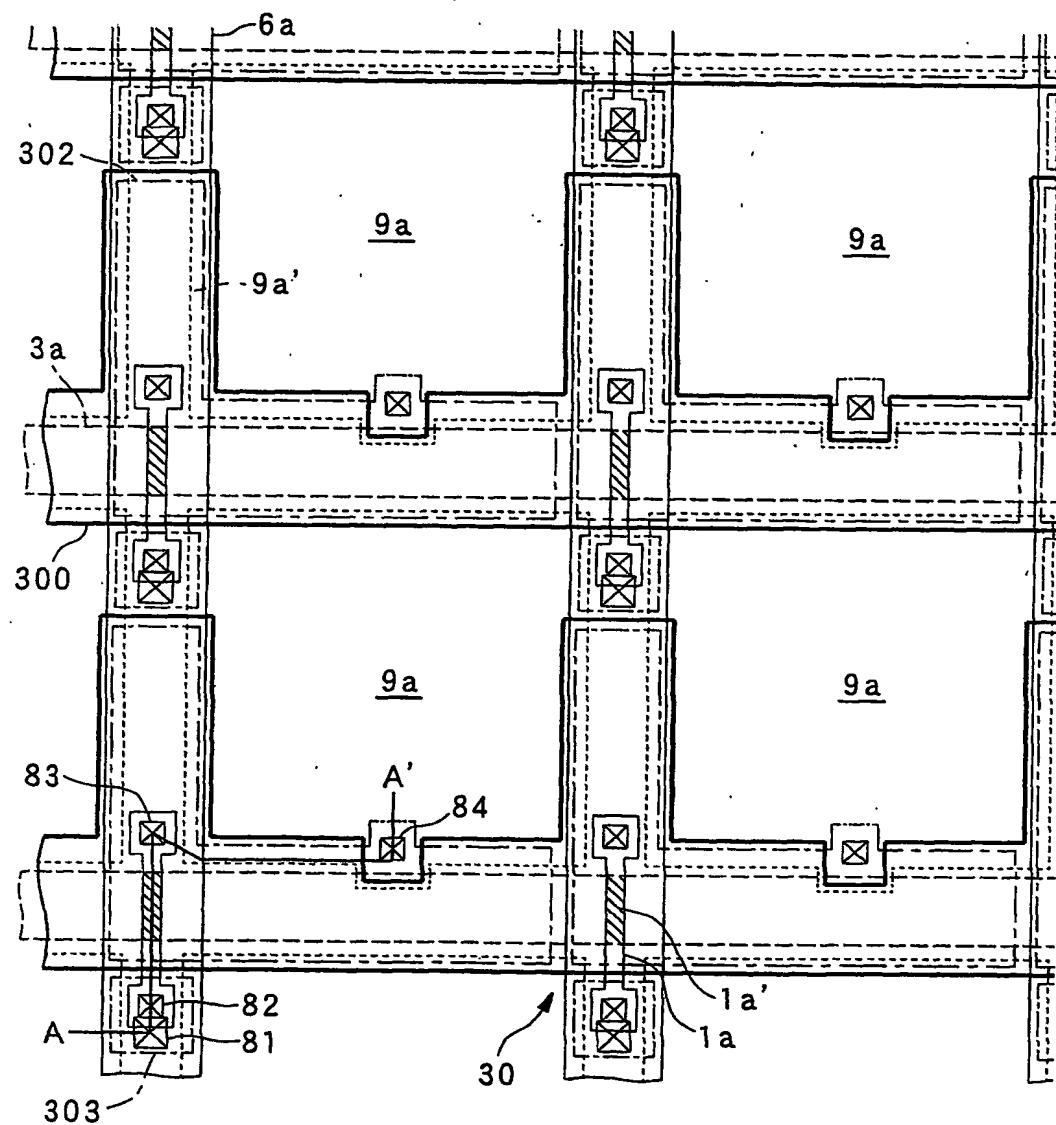
1/40

図 1



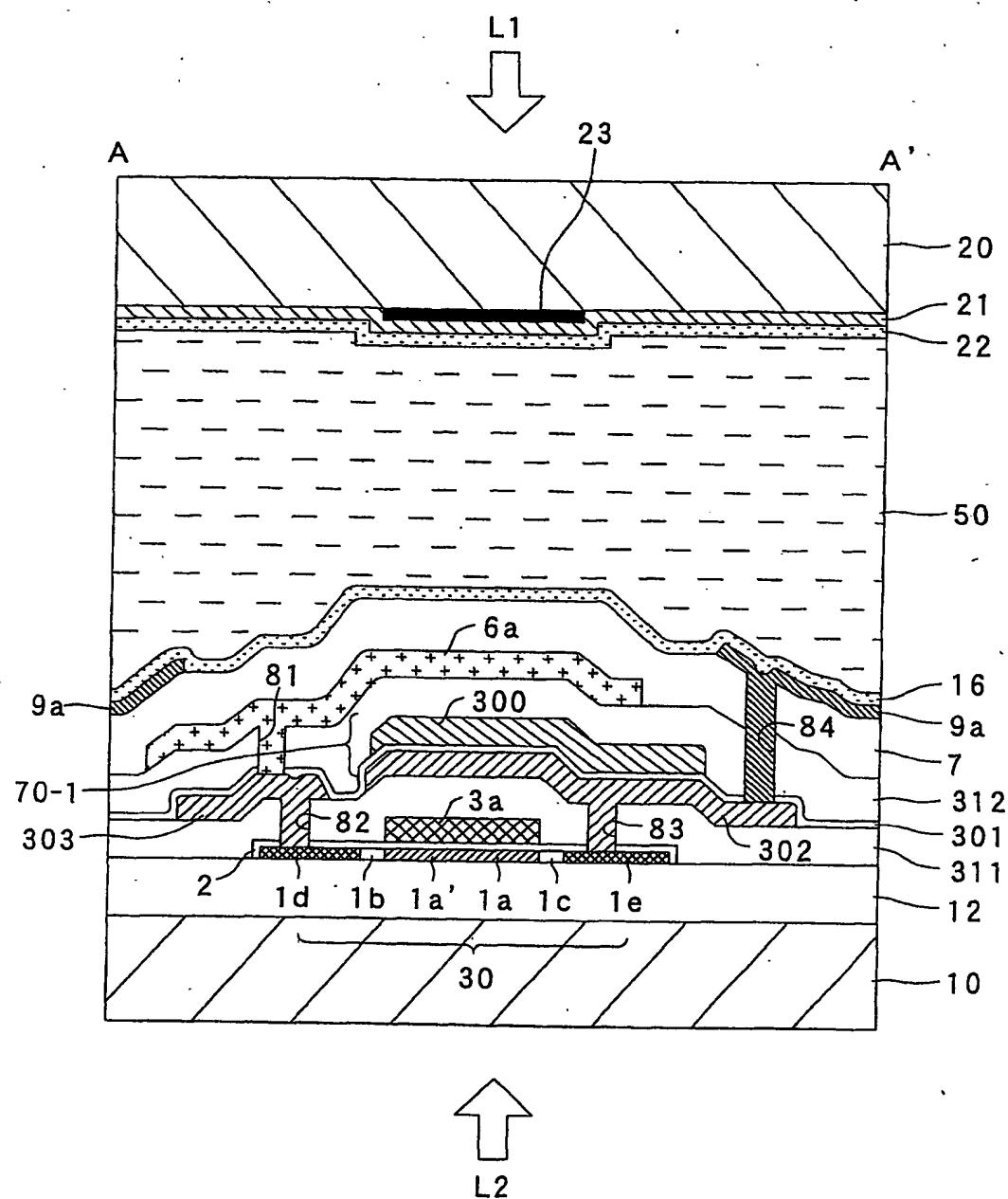
2/40

図 2



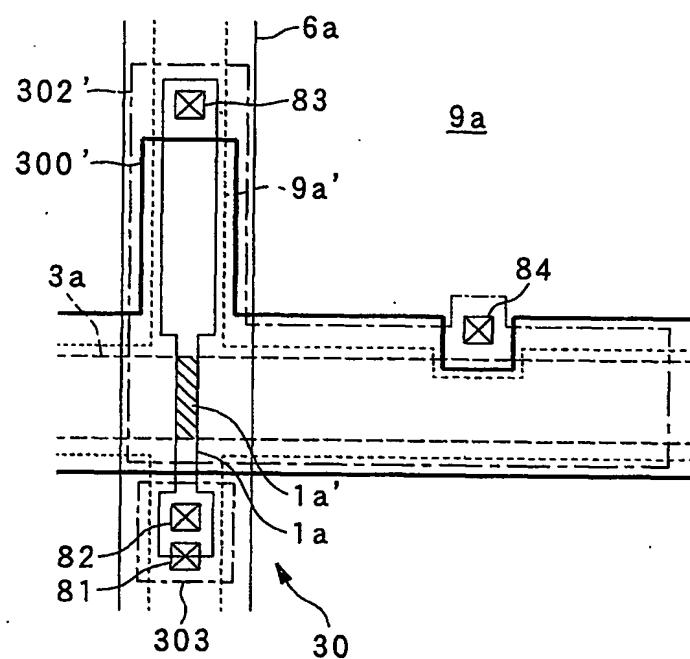
3/40

図 3



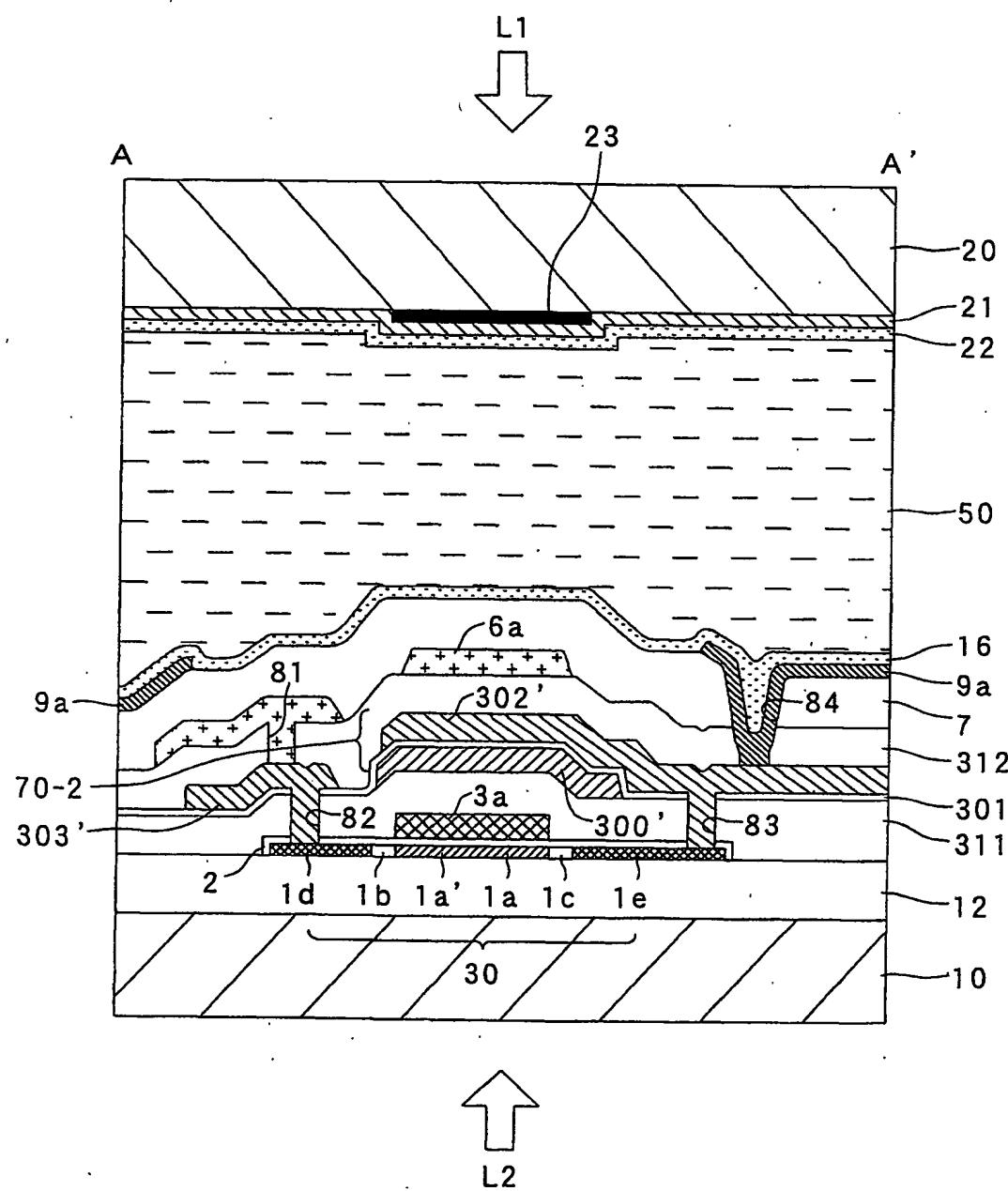
4/40

図 4



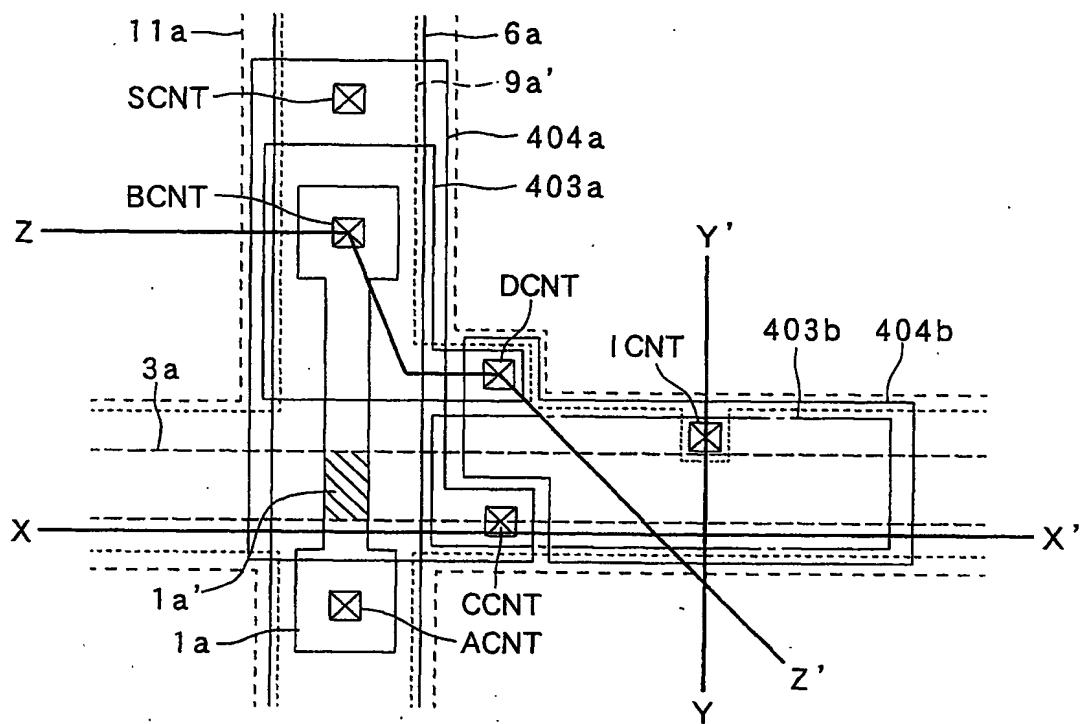
5/40

図 5



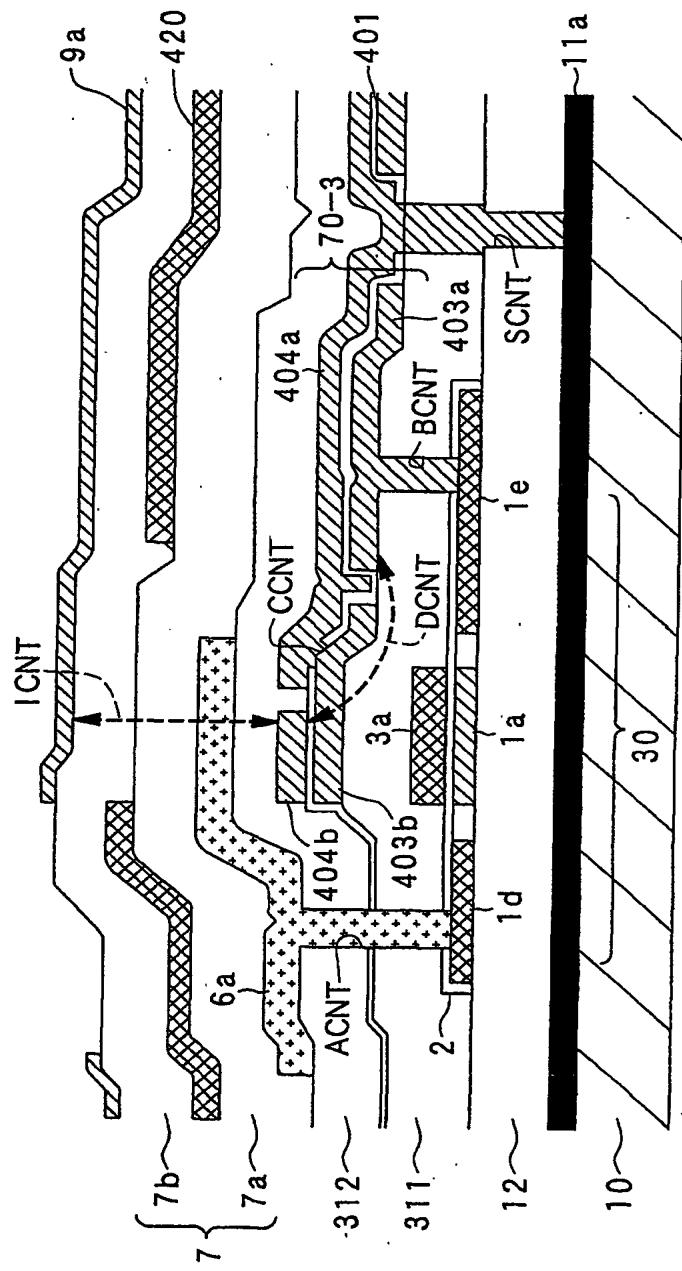
6/40

## 図 6



7/40

图 7



8/40

図 8

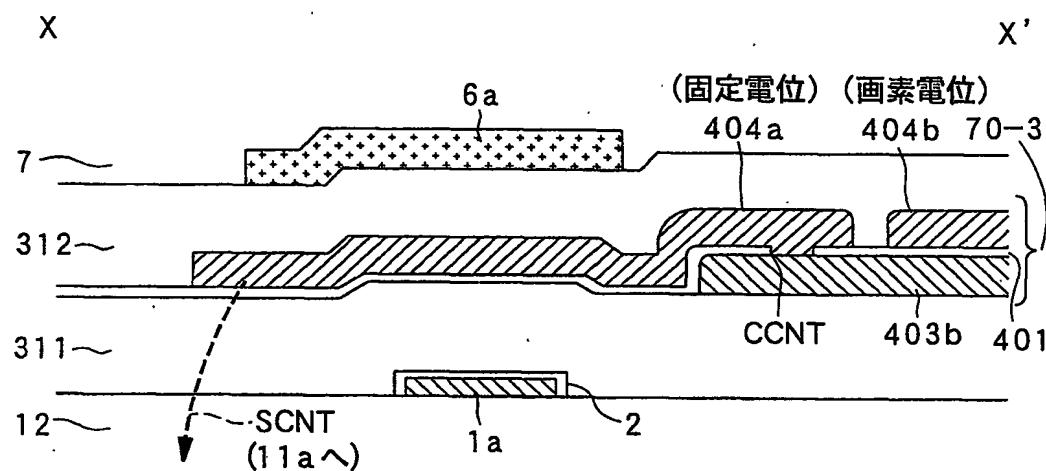
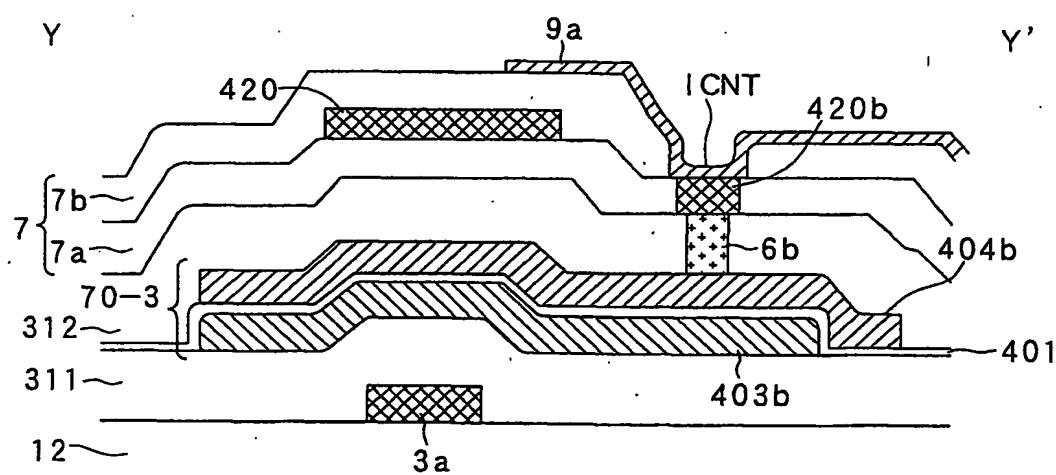
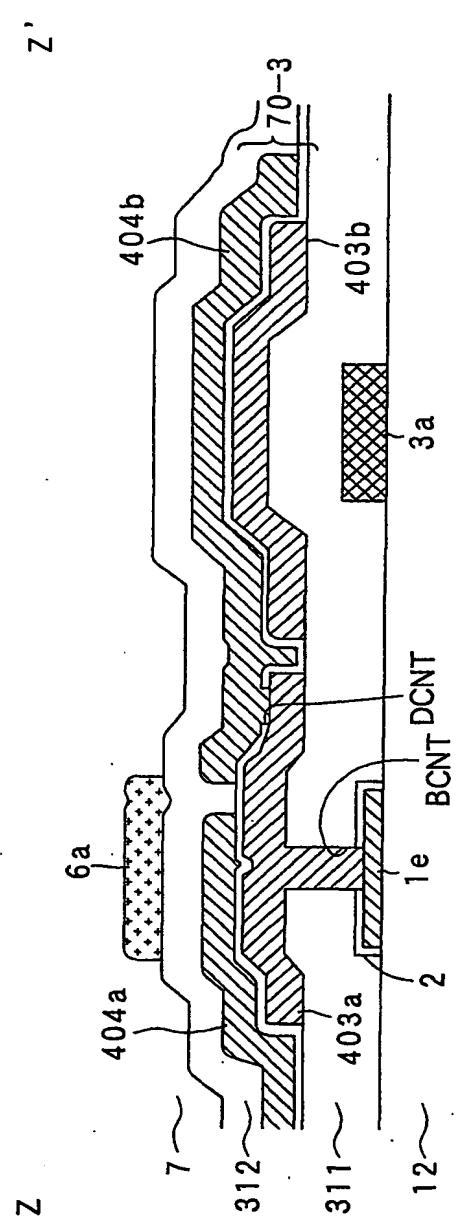


図 9



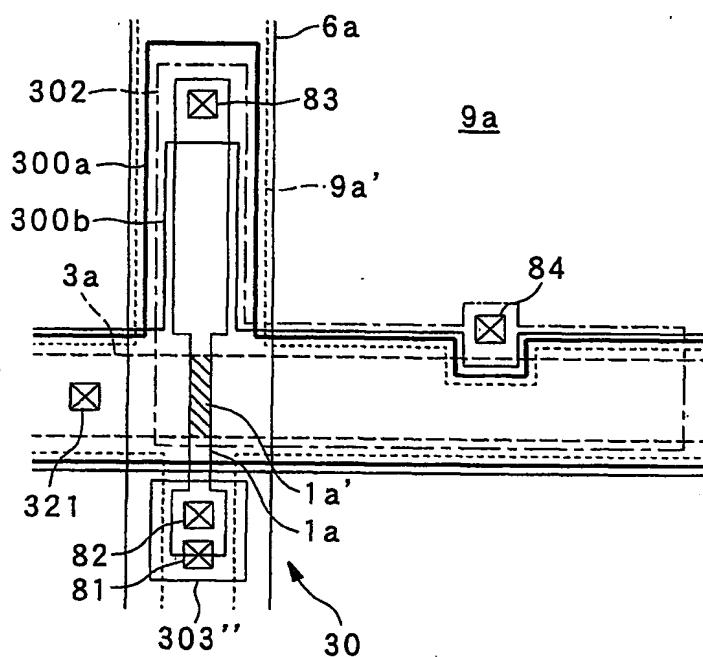
9/40

図 10



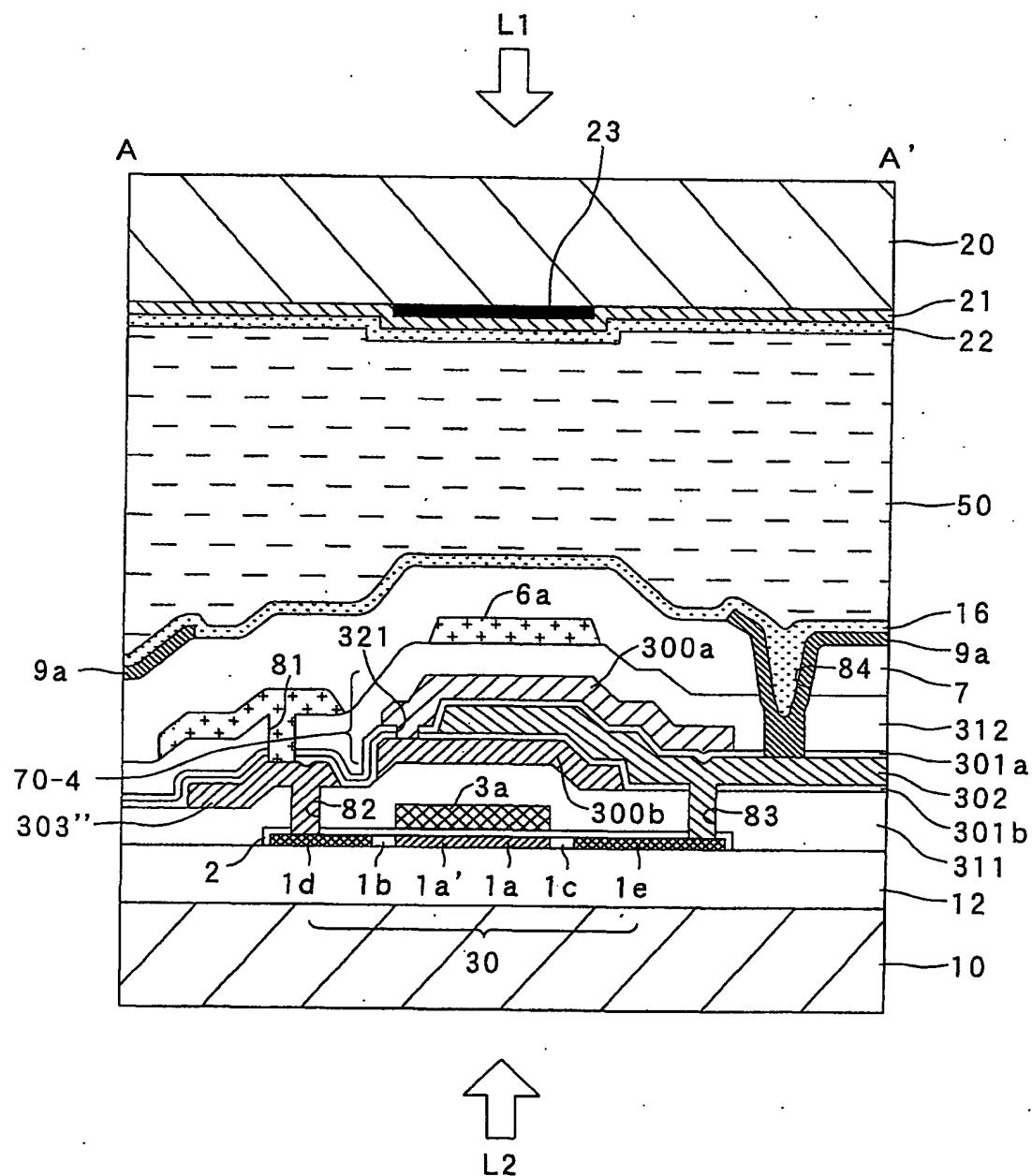
10/40

図 11



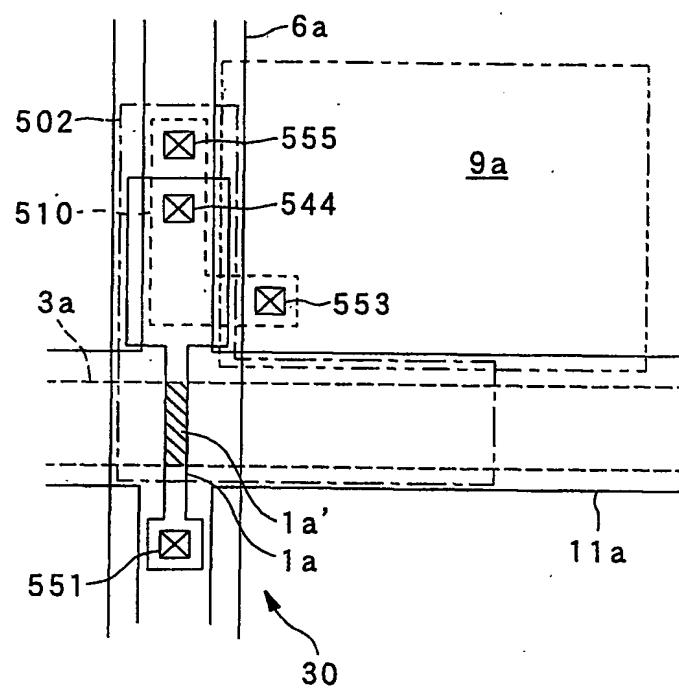
11/40

図 12



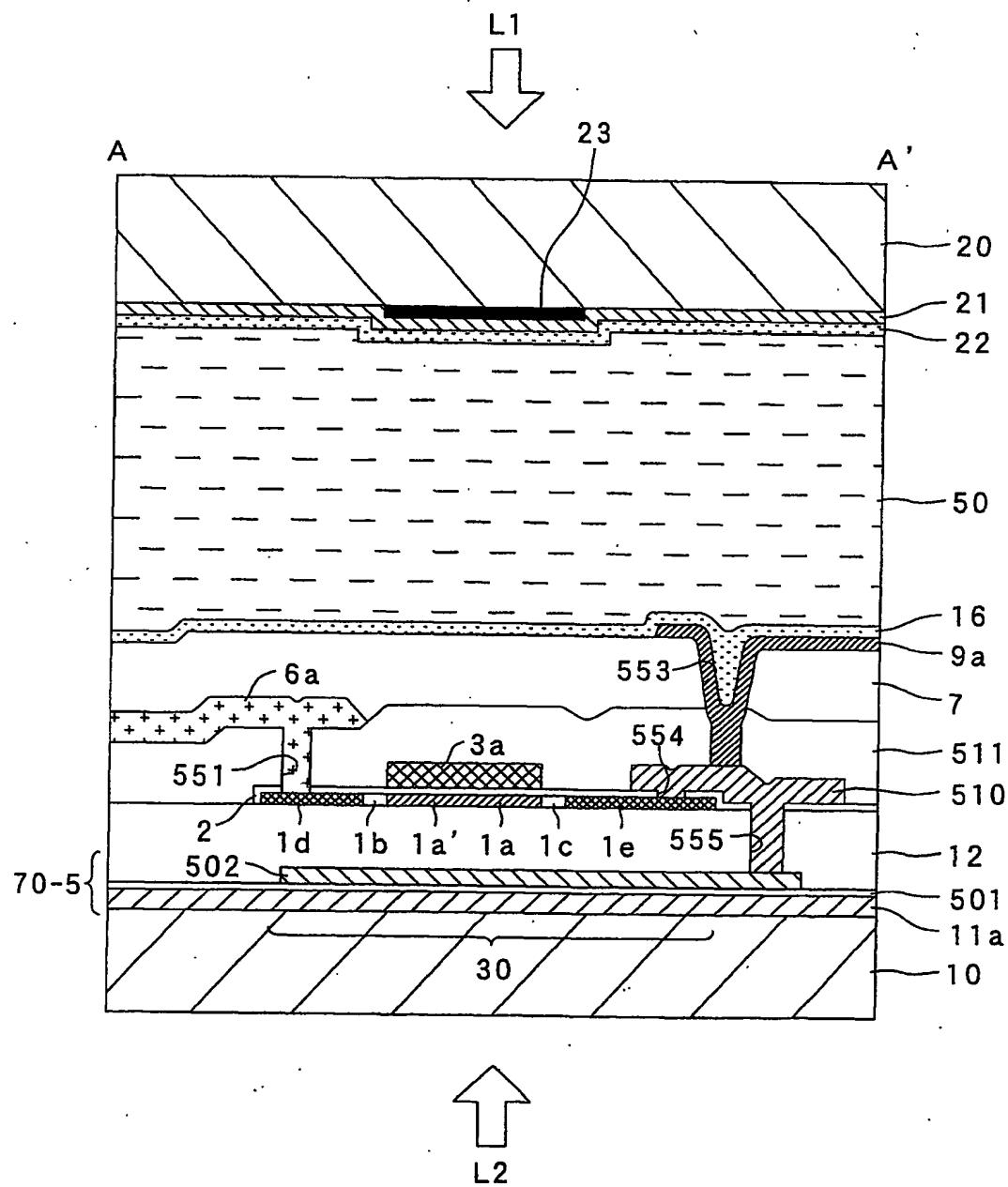
12/40

図 13



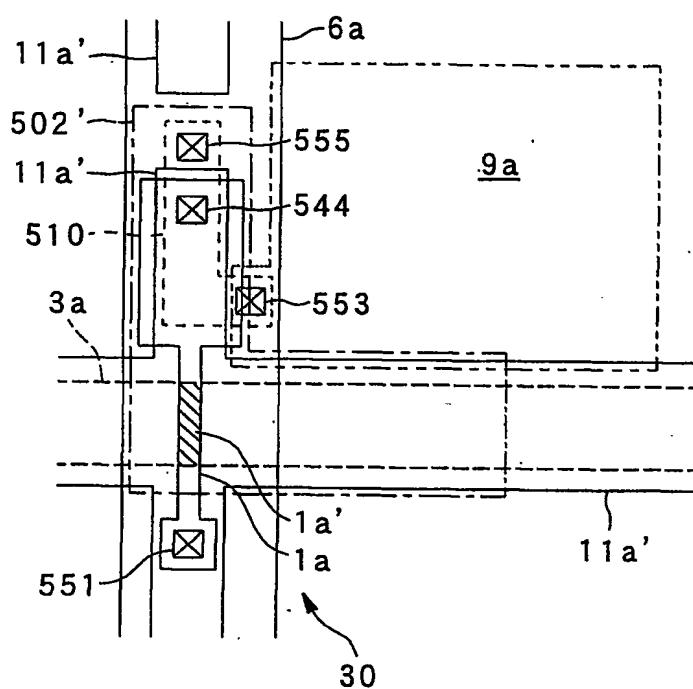
13/40

図 14



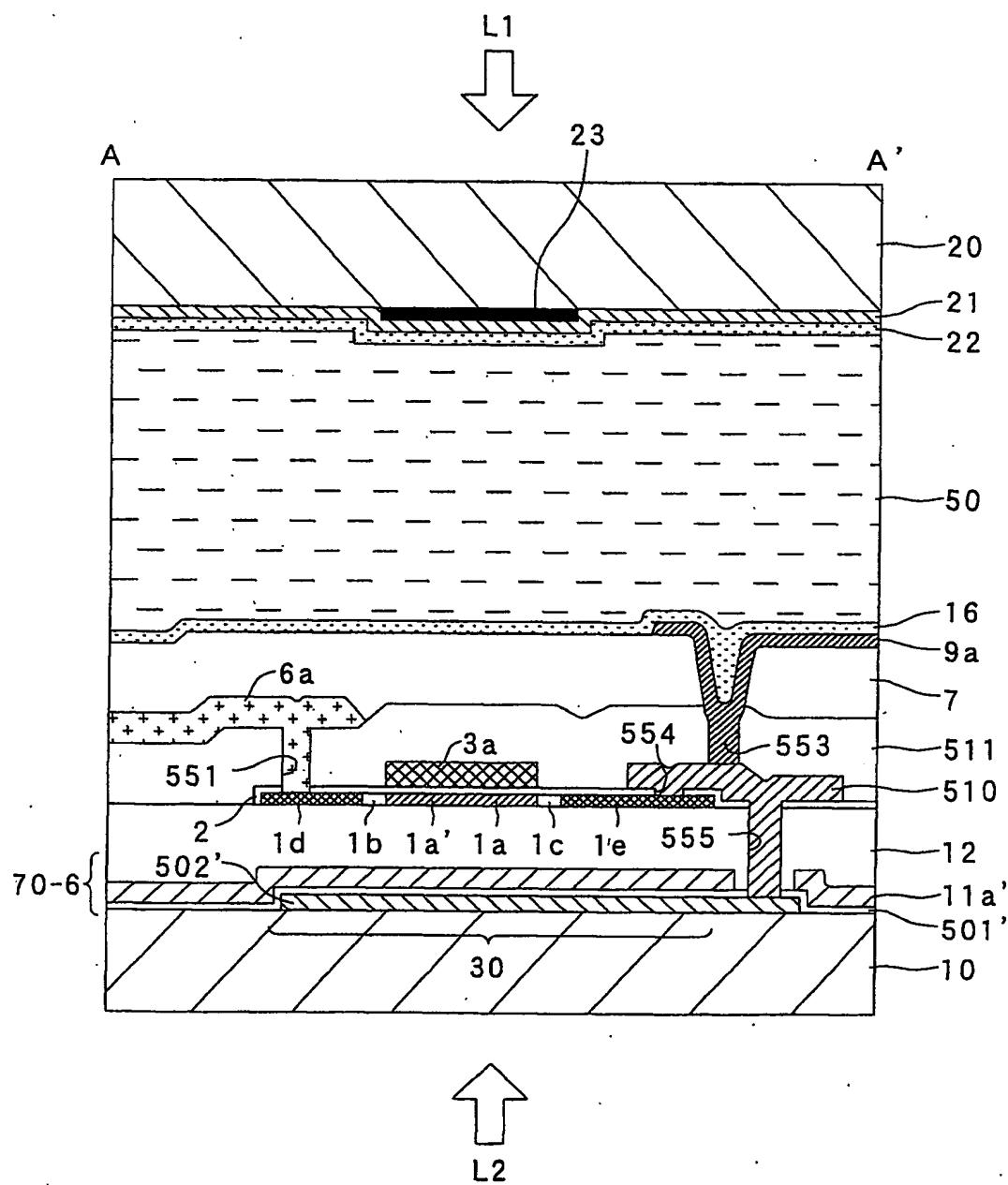
14/40

図 15



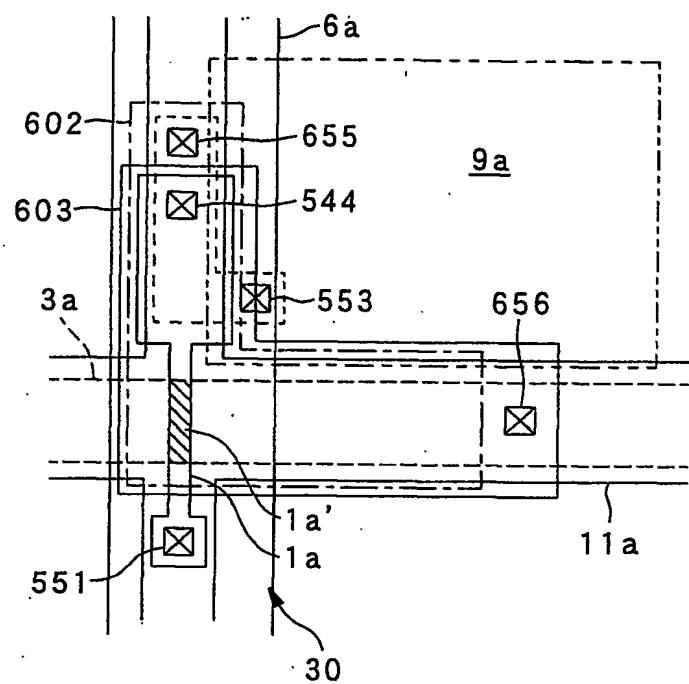
15/40

## 図 16



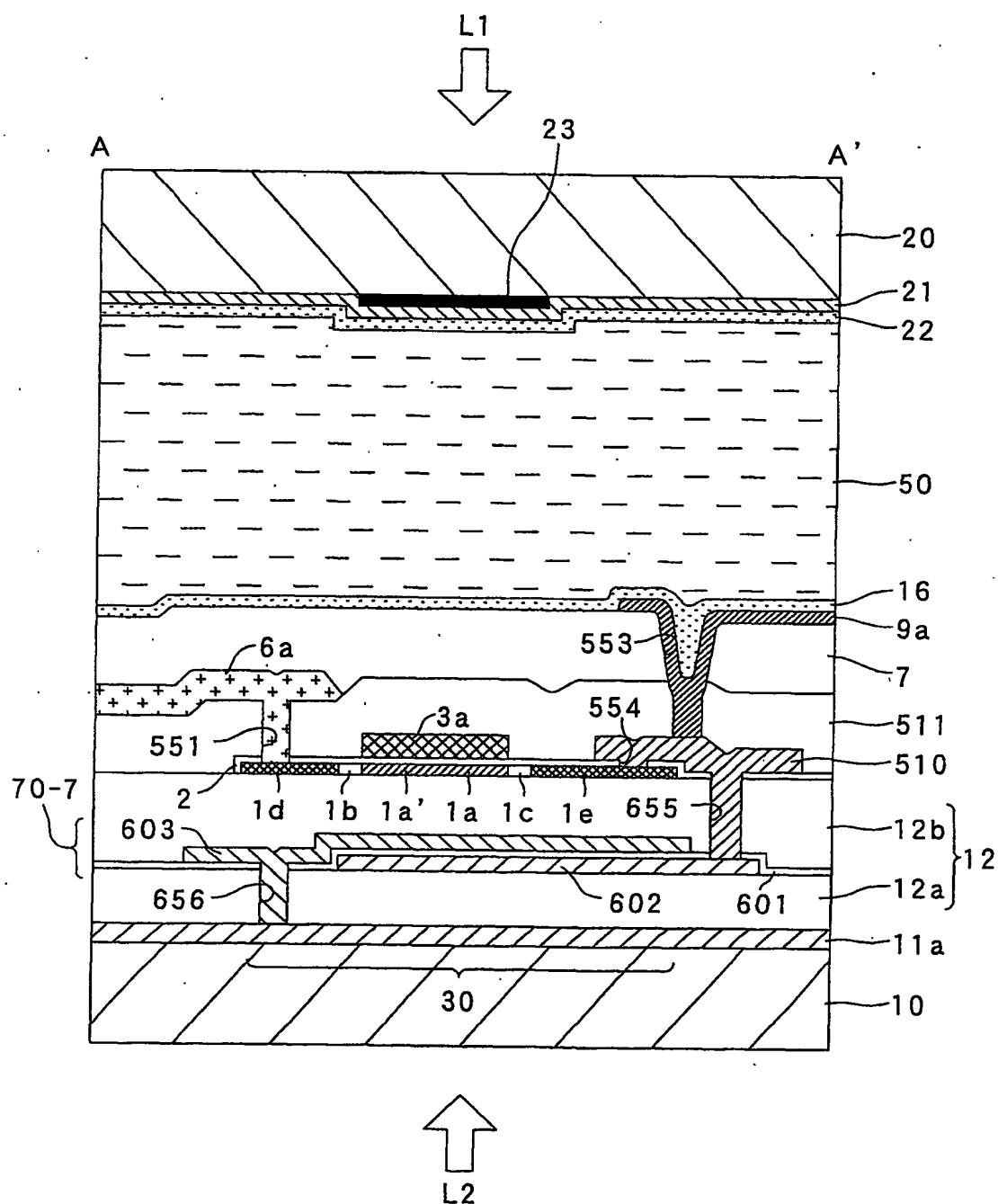
16/40

図17



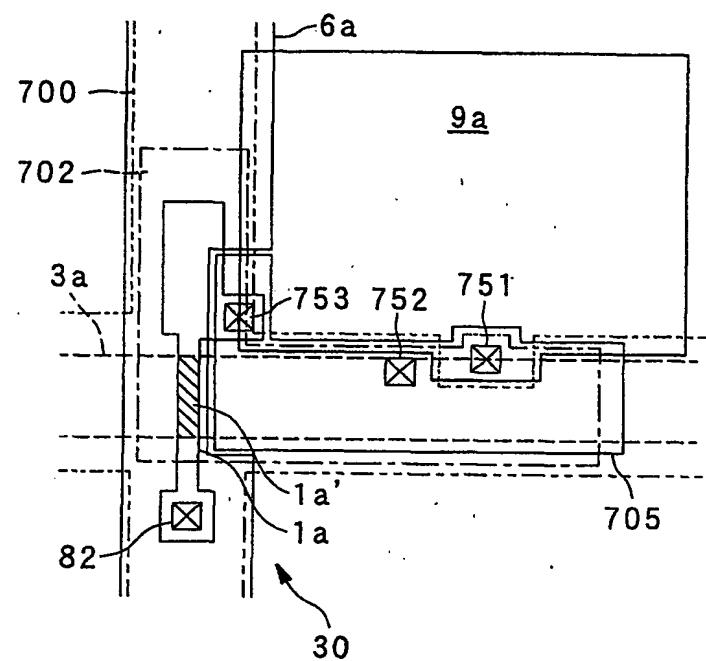
17/40

図 18



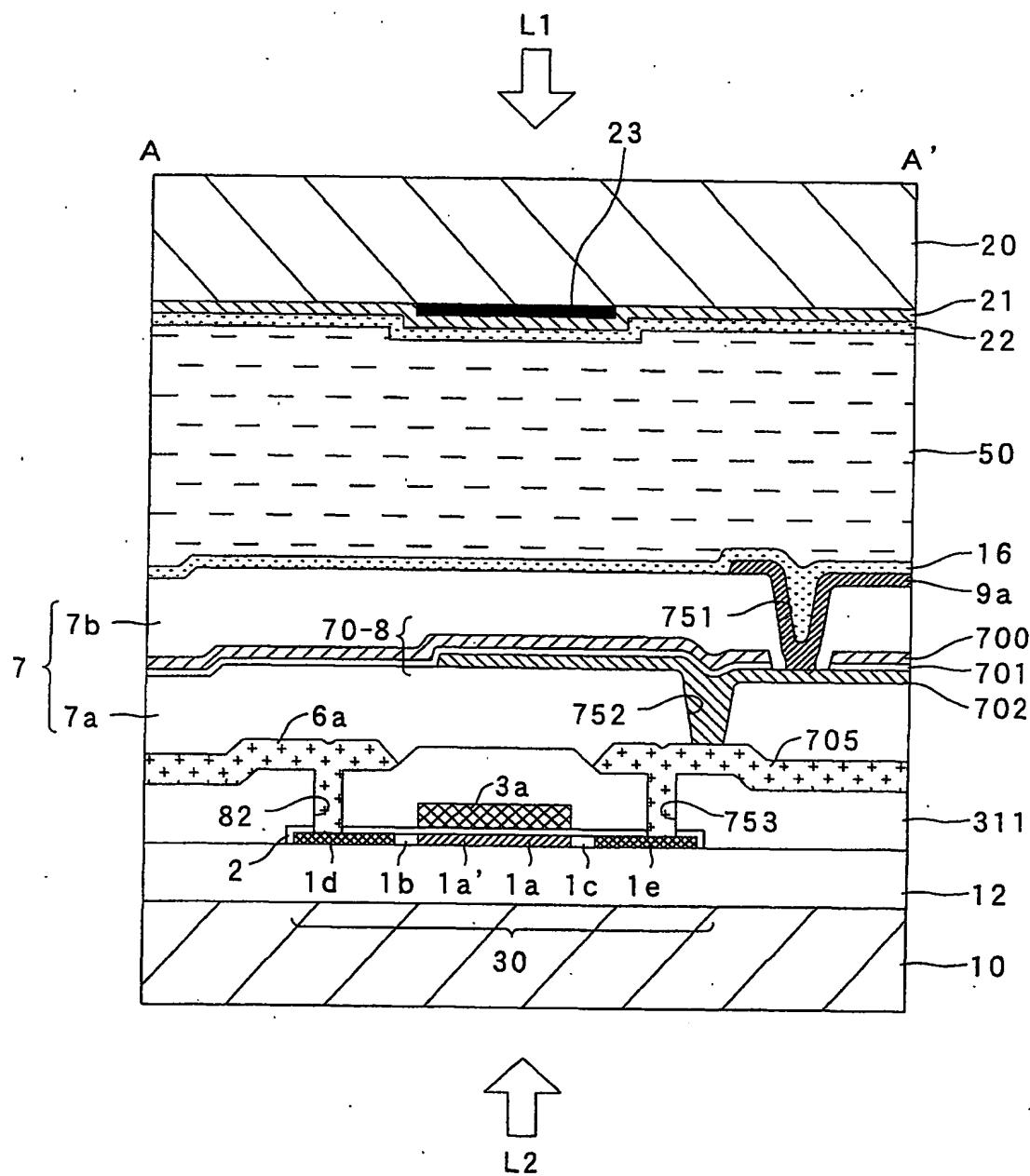
18/40

図 19



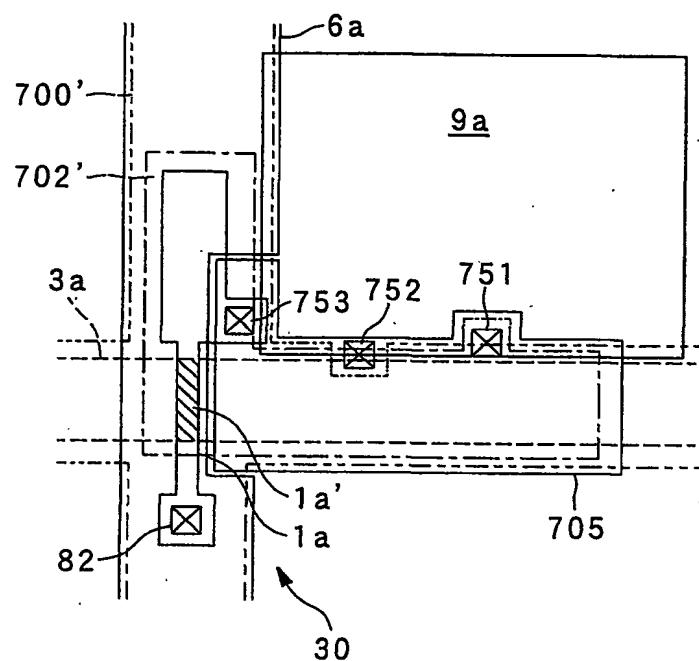
19/40

図 20



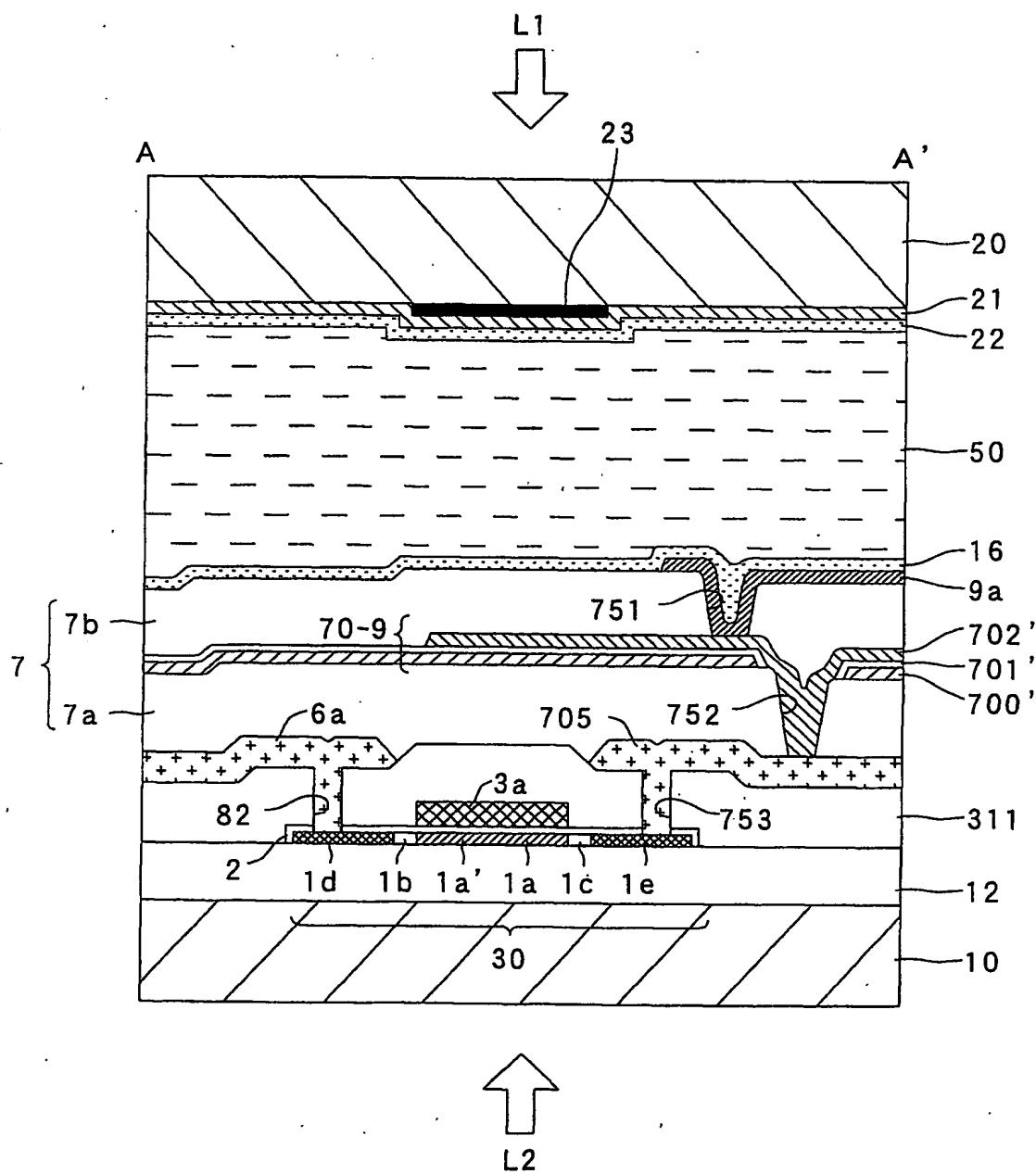
20/40

図 21



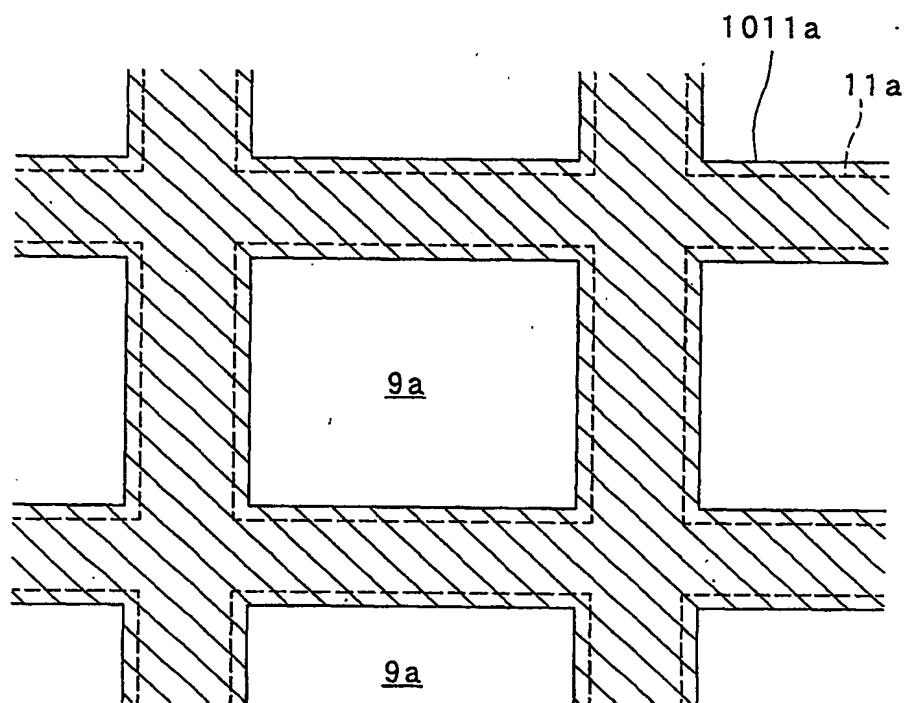
21/40

図 22



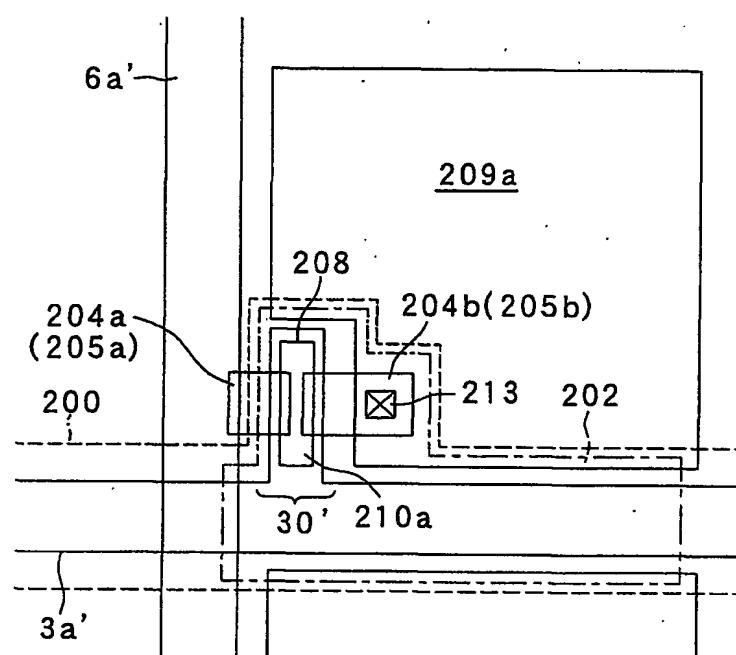
22/40

図 23



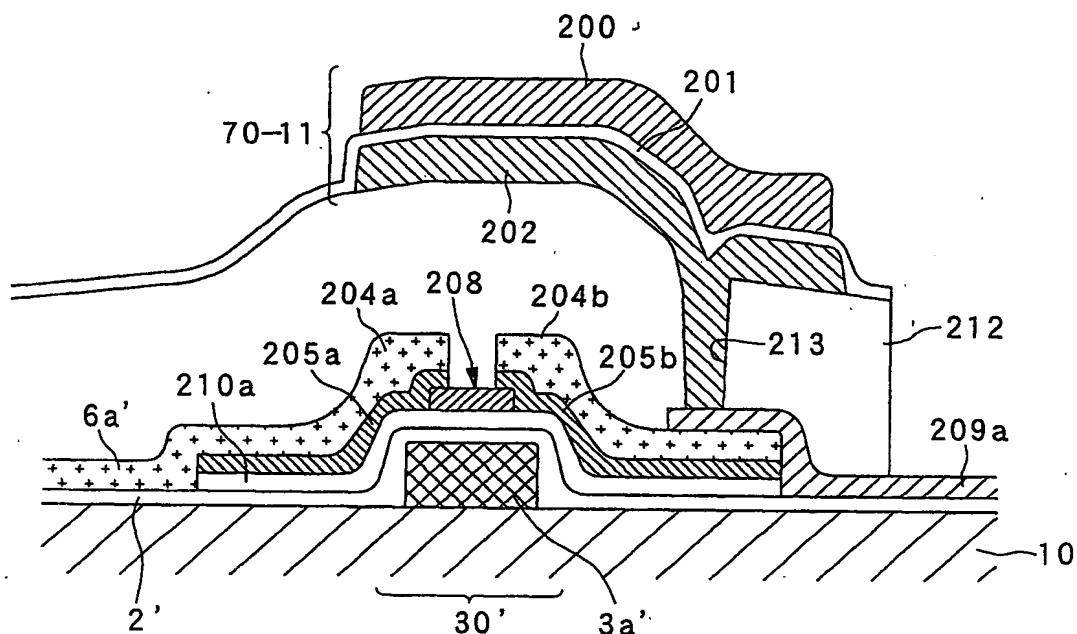
23/40

図 24



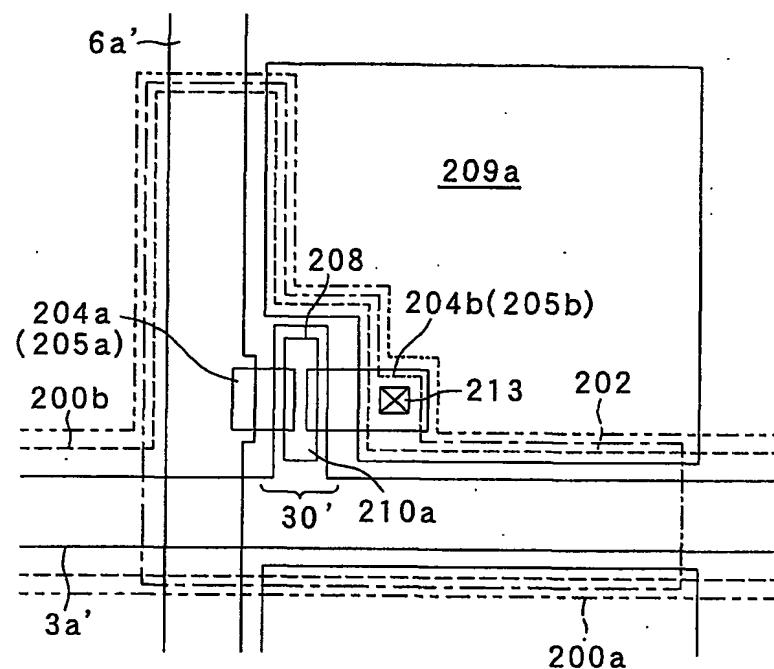
24/40

図 25



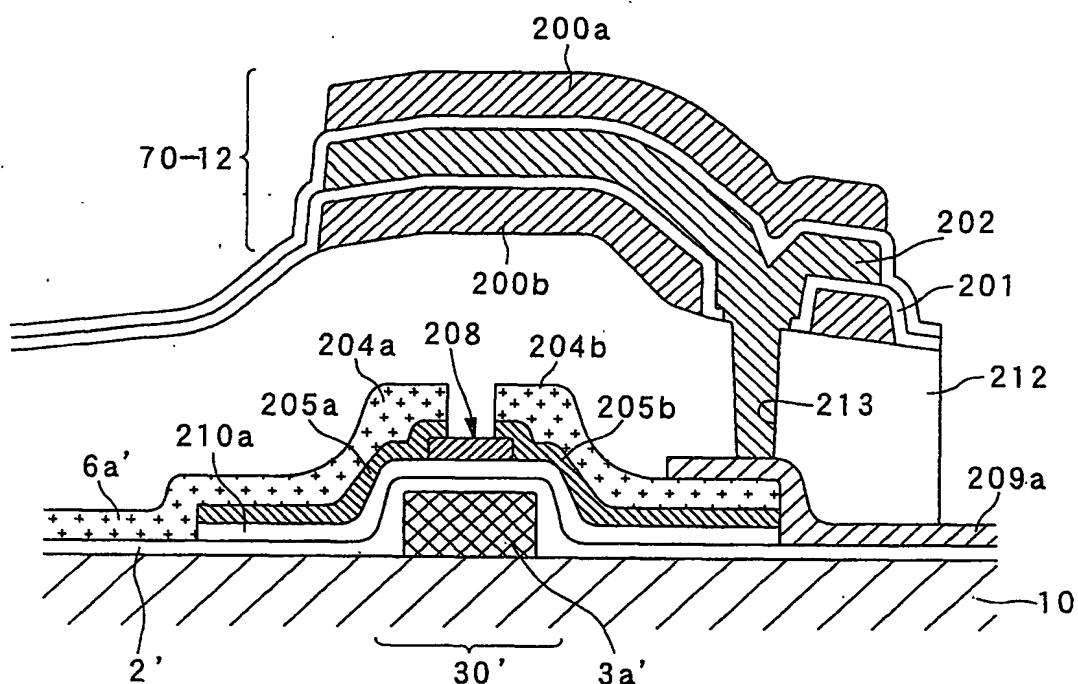
25/40

図 26



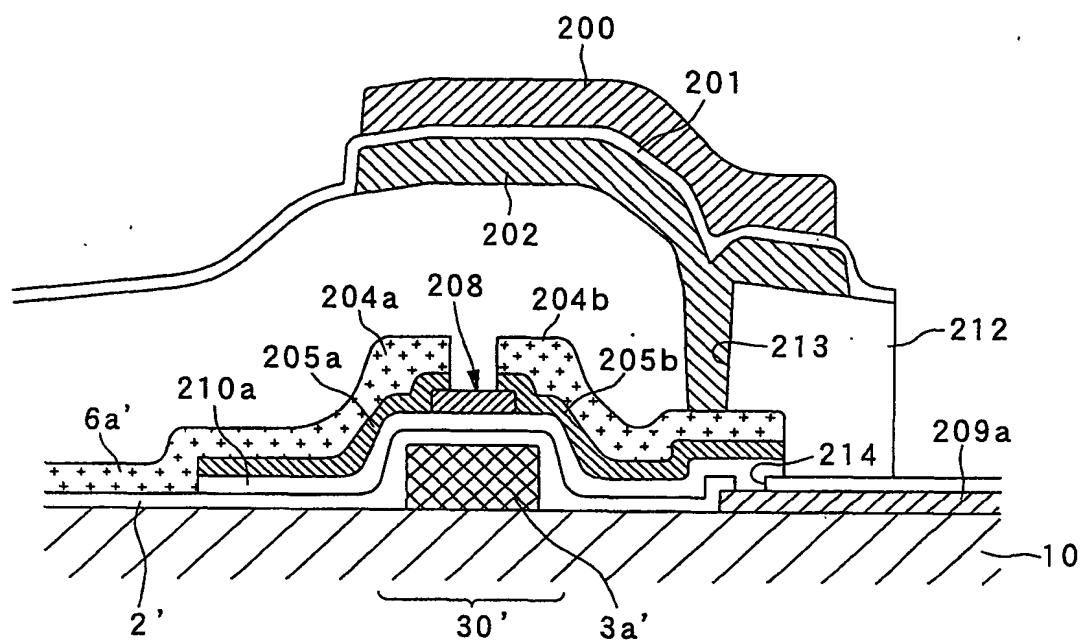
26/40

図 27



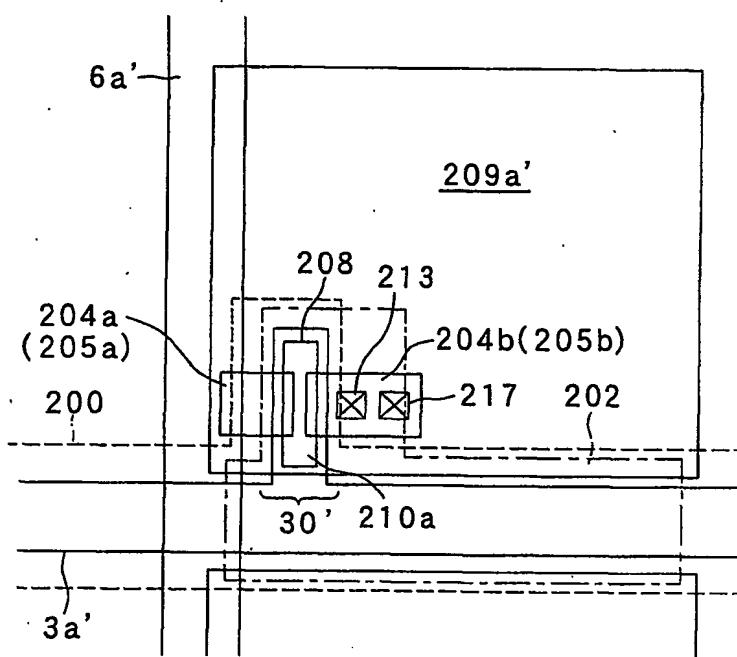
27/40

図 28



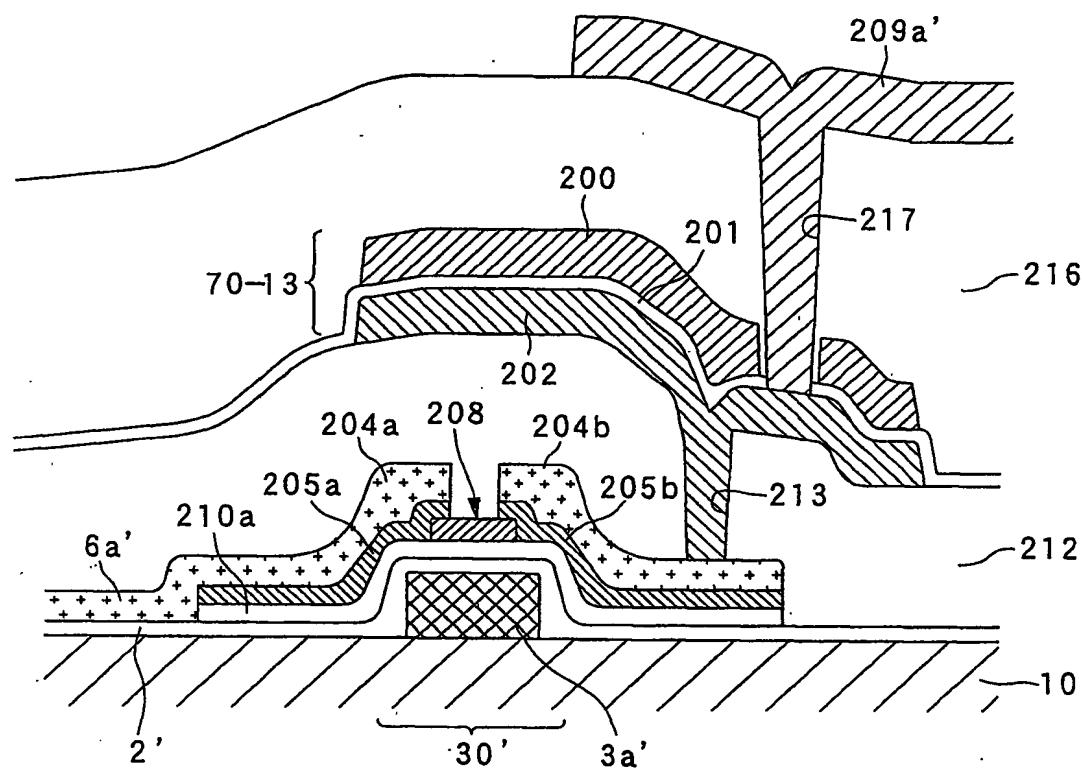
28/40

図 29



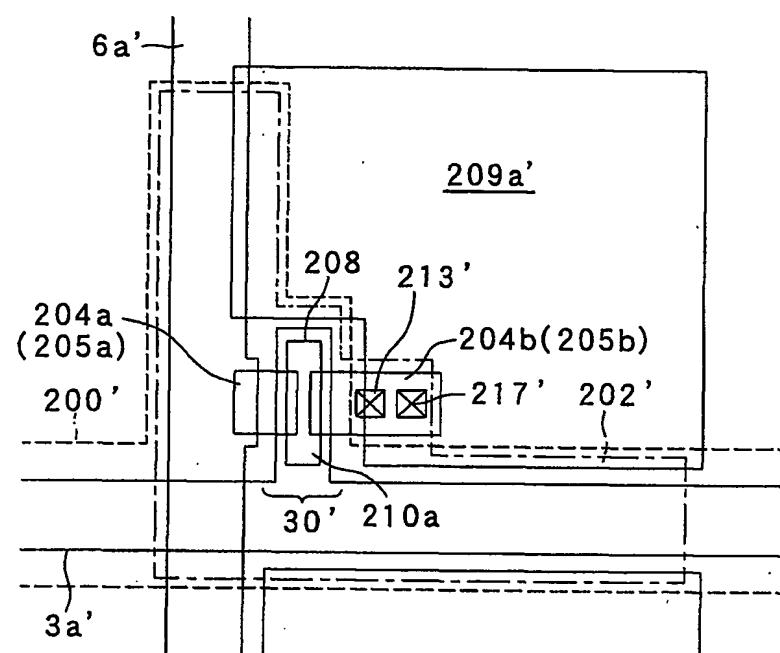
29/40

図 30



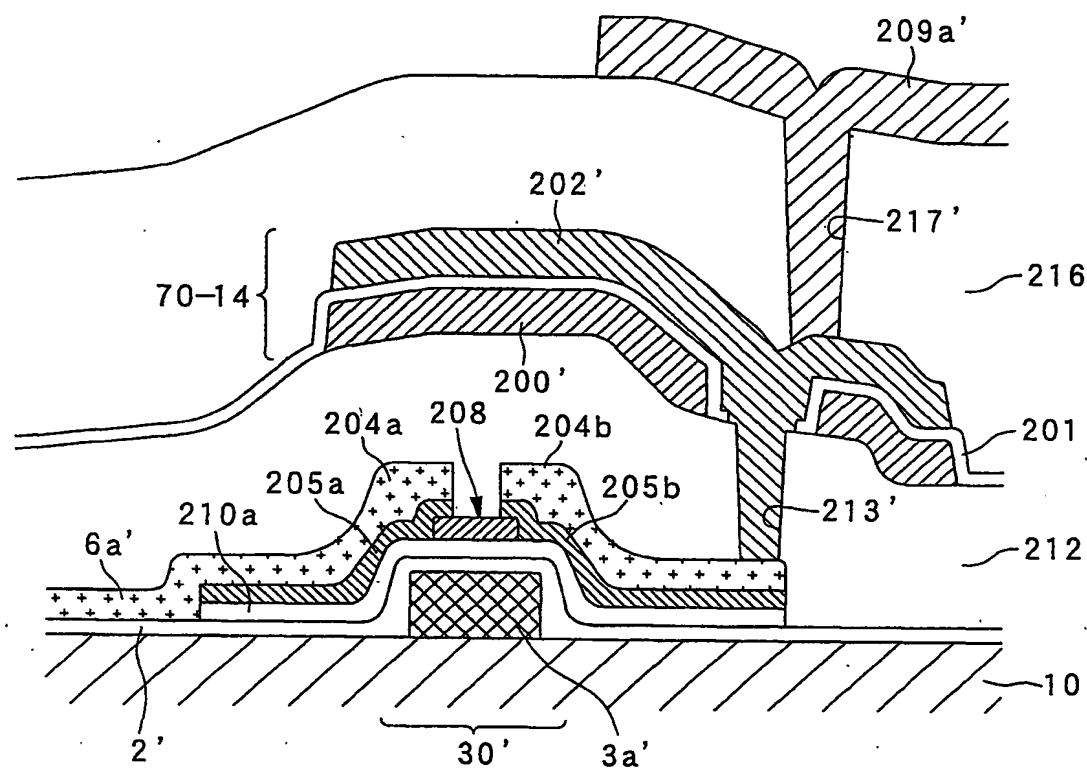
30/40

図 31



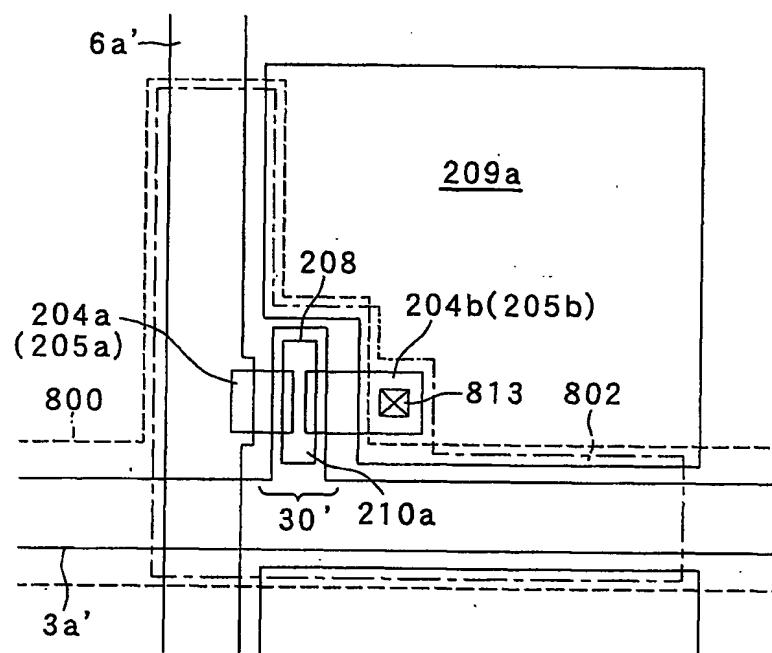
31/40

図 32



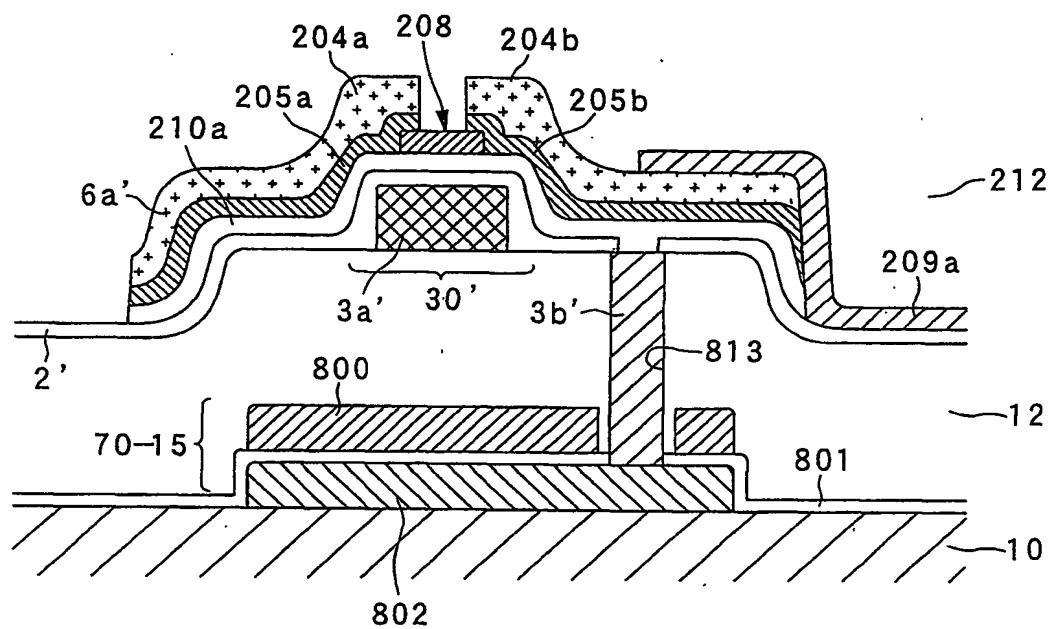
32/40

図 33



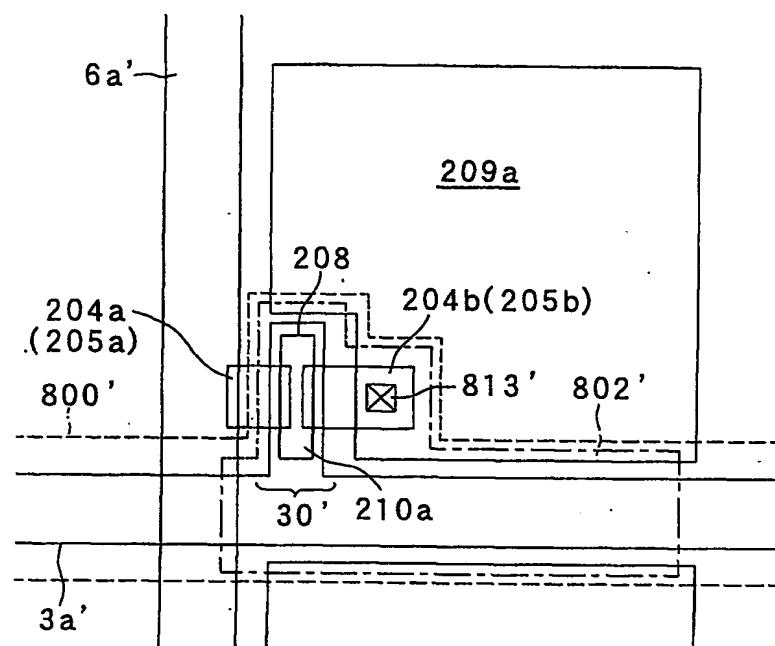
33/40

図 34



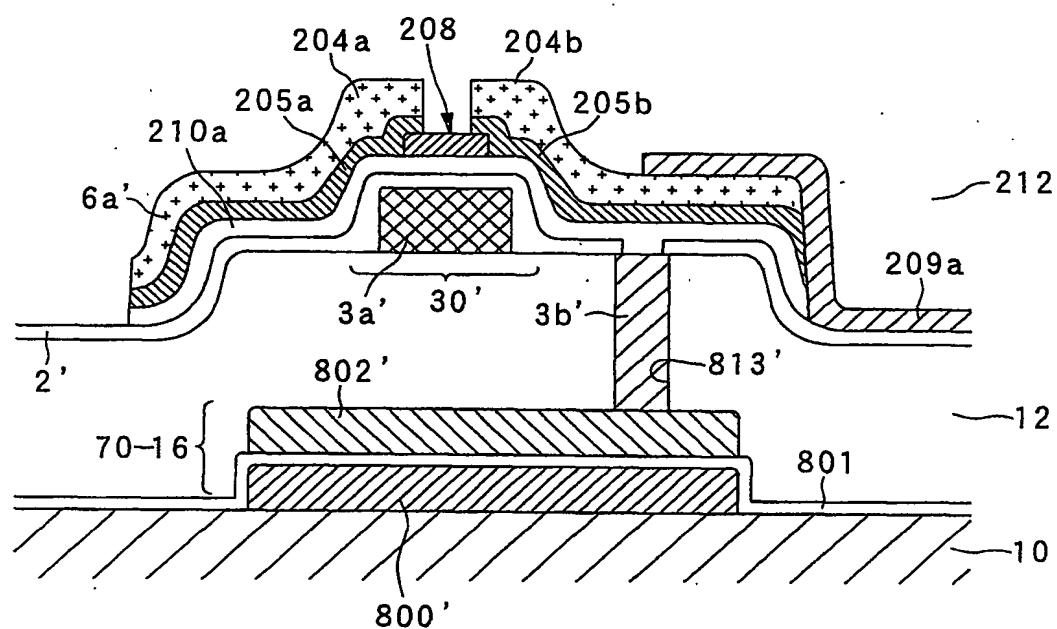
34/40

## 図 35



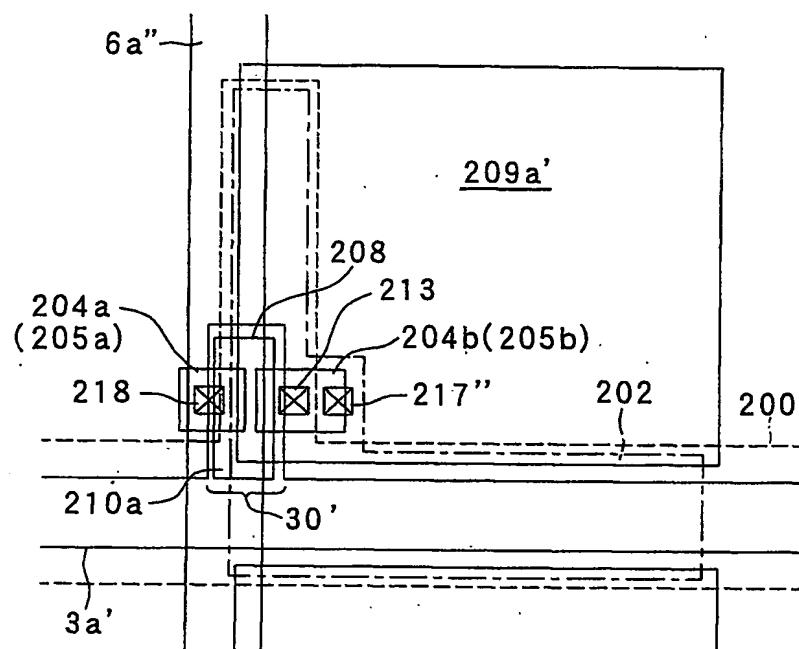
35/40

図 36



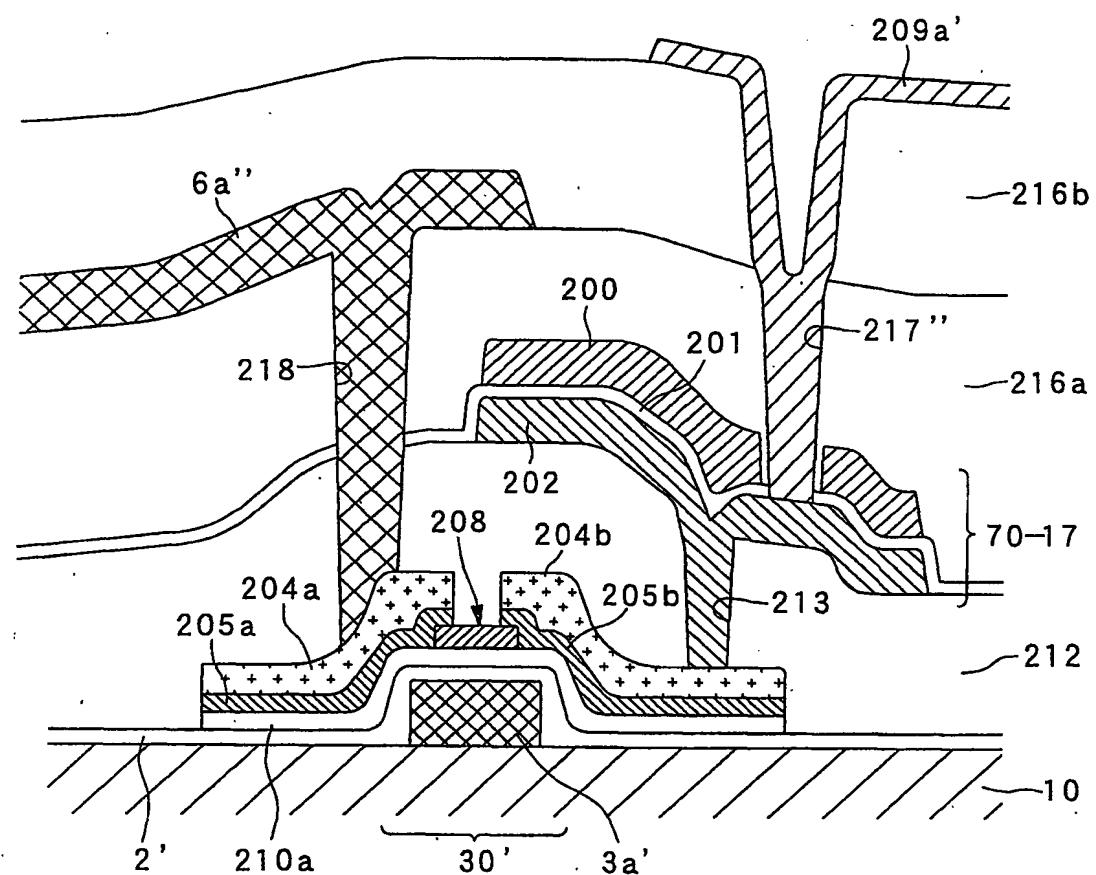
36/40

図 37



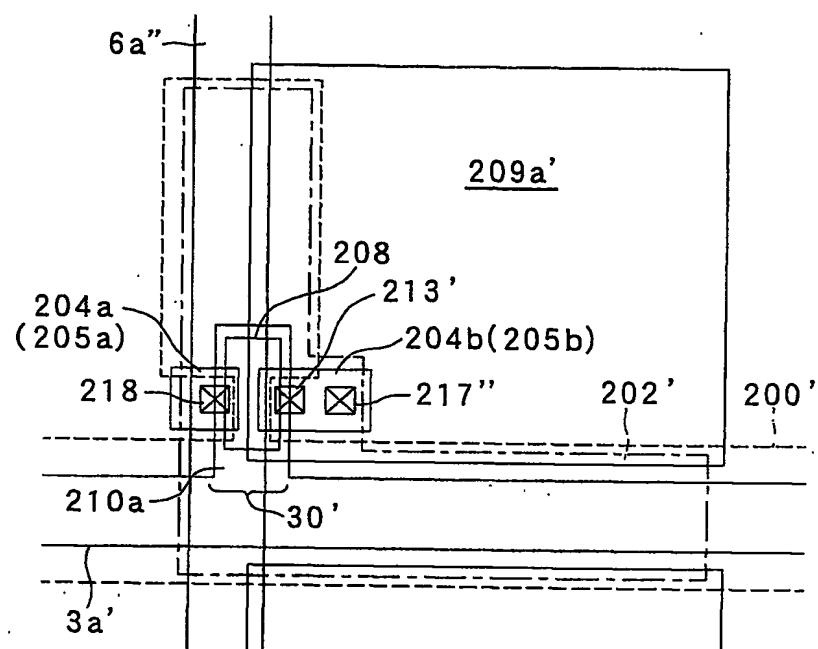
37/40

図 38



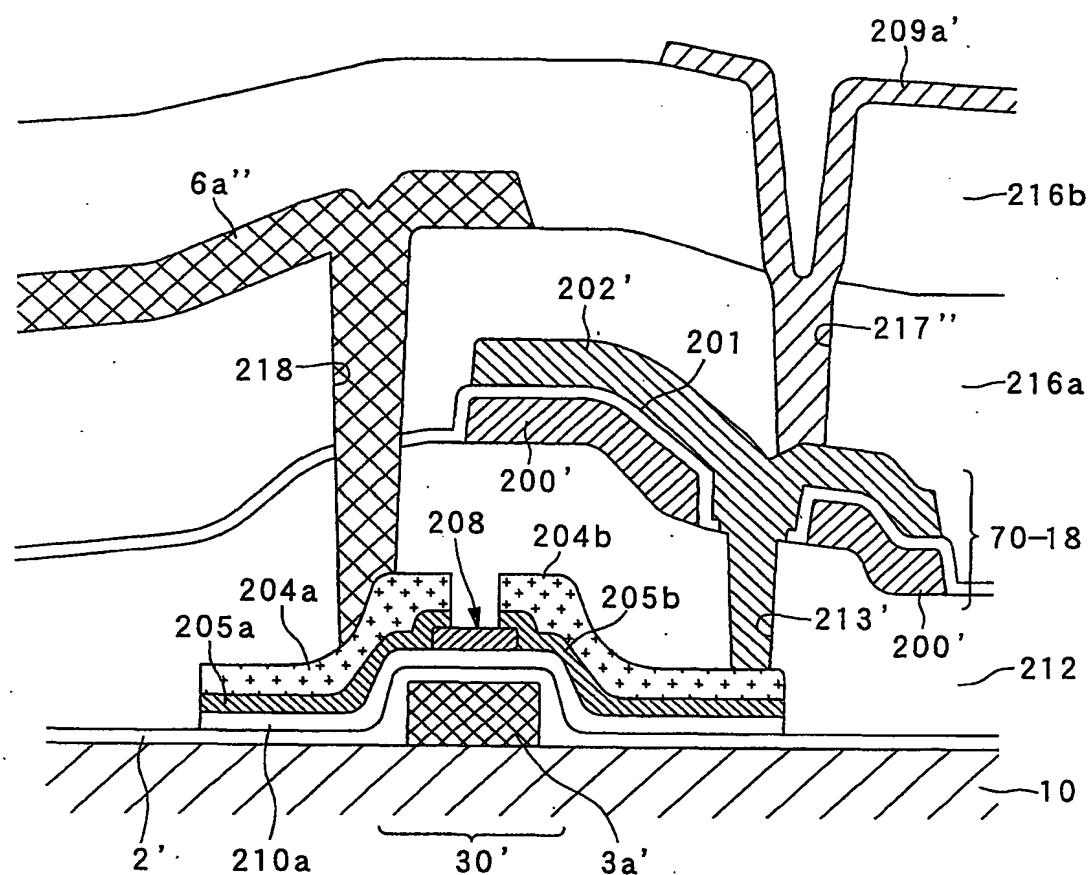
38/40

図 39



39/40

## 図 40



40/40

図 41

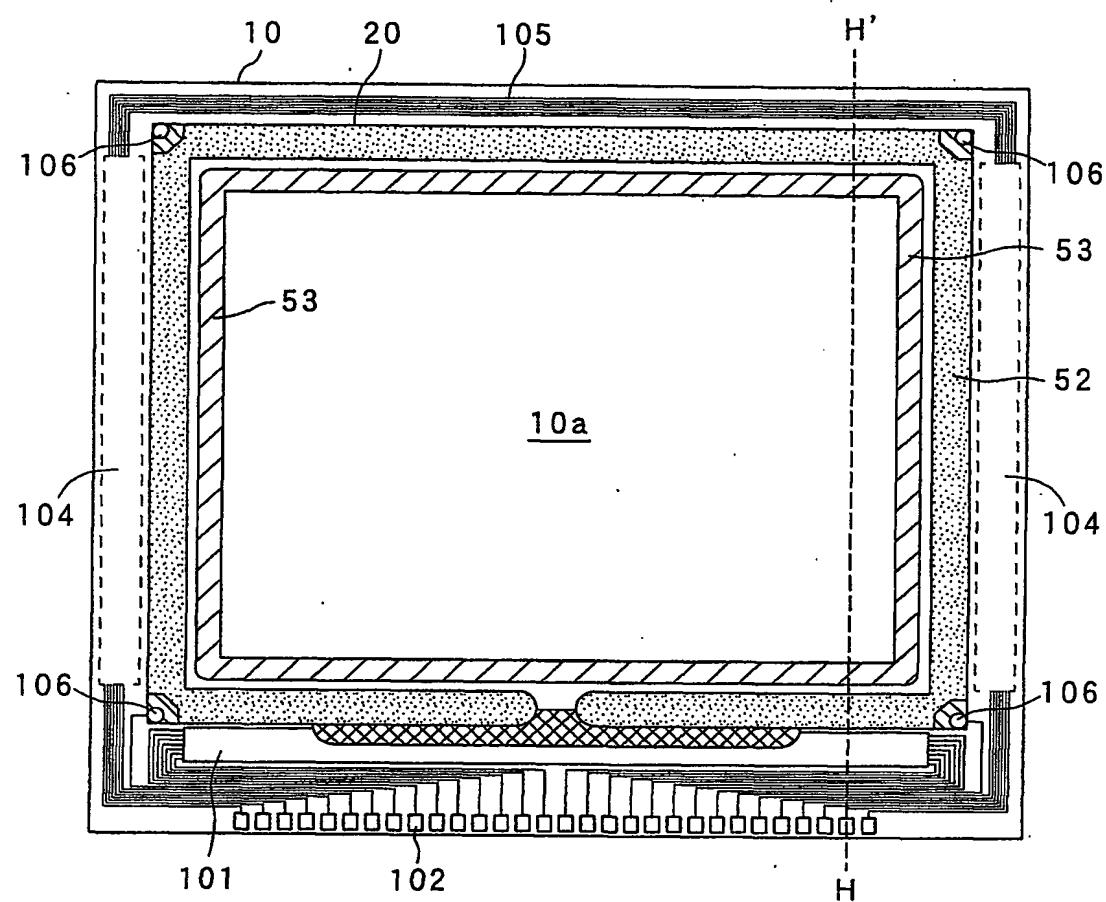
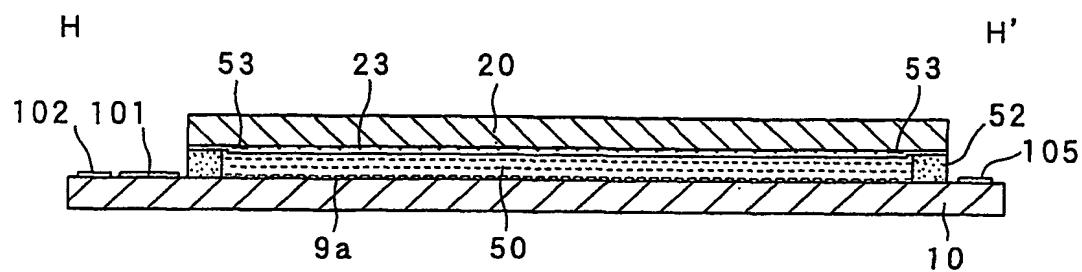


図 42



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP01/03360

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>7</sup> G09F 9/30, G02F 1/136, H01L 29/78

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> G09F 9/30, G02F 1/136

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2001  
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No. .
X	US 5917563 A (Sharp Kabushiki Kaisha), 13 September, 1996 (13.09.96), & JP, 9-171196, A	1, 2, 4, 6, 8, 11, 12, 13, 15-17, 23-26, 27-28, 31, 32, 40
Y		3, 5, 29, 30, 33-35
A		7, 9, 10, 14, 18-22, 36-39
Y	JP 9-43631 A (Kyocera Corporation), 14 February, 1997 (14.02.97) (Family: none)	3
Y	JP 10-253976 A (Toshiba Corporation), 25 September, 1998 (25.09.98) (Family: none)	5

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier document but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search  
09 July, 2001 (09.07.01)

Date of mailing of the international search report  
17 July, 2001 (17.07.01)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/03360

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5956103 A (Sharp Kabushiki Kaisha), 17 June, 1997 (17.06.97), & JP, 10-10548, A	7,36-39
Y		29,30
A	US 5966193 A (Semiconductor Energy Laboratory Co.), 11 July, 1997 (11.07.97), & JP, 10-31235, A	7,36-39
Y	JP 9-236825 A (Semiconductor Energy Lab. Co., Ltd.), 14 February, 1997 (14.02.97) (Family: none)	33-35
A	JP 10-39336 A (Toshiba Corporation), 13 February, 1998 (13.02.98) (Family: none)	1
A	JP, 10-274789, A (Semiconductor Energy Lab. Co., Ltd.), 13 October, 1998 (13.10.98) (Family: none)	1

## 国際調査報告

国際出願番号 PCT/JP01/03360

## A. 発明の属する分野の分類(国際特許分類(IPC))

Int. C1' G09F 9/30, G02F 1/136, H01L 29/78

## B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. C1' G09F 9/30, G02F 1/136

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2001年
日本国登録実用新案公報	1994-2001年
日本国実用新案登録公報	1996-2001年

## 国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	U.S. 5917563, A (Sharp Kabushiki Kaisha) 13. 9月. 1996 (13. 09. 96) & J.P. 9-171196, A	1, 2, 4, 6, 8, 11 , 12, 13, 15-17 , 23-26, 27-28 , 31, 32, 40
Y		3, 5, 29, 30, 33 -35
A		7, 9, 10, 14, 18 -22, 36-39

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日 09. 07. 01	国際調査報告の発送日 17.07.01
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 高木 彰  電話番号 03-3581-1101 内線 6737

## 国際調査報告

国際出願番号 PCT/JP01/03360

C(続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 9-43631, A (京セラ株式会社) 14. 2月. 1997 (14. 02. 97) (ファミリーなし)	3
Y	JP, 10-253976, A (株式会社東芝) 25. 9月. 1998 (25. 09. 98) (ファミリーなし)	5
A	US, 5956103, A (Sharp Kabushiki Kaisha) 17. 6月. 1997 (17. 06. 97)	7, 36-39
Y	& JP, 10-10548, A	29, 30
A	US, 5966193, A (Semiconductor Energy Laboratory C o.) 11. 7月. 1997 (11. 07. 97) & JP, 10-31235, A	7, 36-39
Y	JP, 9-236825, A (株式会社半導体エネルギー研究所) 14. 2月. 1997 (14. 02. 97) (ファミリーなし)	33-35
A	JP, 10-39336, A (株式会社東芝) 13. 2月. 1998 (13. 02. 98) (ファミリーなし)	1
A	JP, 10-274789, A (株式会社半導体エネルギー研究 所) 13. 10月. 1998 (13. 10. 98) (ファミリーなし)	1